



Universidad
Carlos III de Madrid

ESCUELA POLITÉCNICA SUPERIOR

Departamento de Tecnología Electrónica

INGENIERÍA INDUSTRIAL

PROYECTO FIN DE CARRERA

***Diseño, construcción y
caracterización de un convertidor
reductor síncrono con drivers
aislados y control digital***

Autora: Iyo Horikoshi
Tutor: Pablo Zumel Vaquero
Co-director: Diego González Lamar

Leganés, diciembre de 2012

Título: *Diseño, construcción y caracterización de un convertidor reductor síncrono con drivers aislados y control digital*

Autor: Iyo Horikoshi

Director: Pablo Zumel Vaquero

EL TRIBUNAL

Presidente: _____

Vocal: _____

Secretario: _____

Realizado el acto de defensa y lectura del Proyecto Fin de Carrera el día __ de _____ de 20__ en Leganés, en la Escuela Politécnica Superior de la Universidad Carlos III de Madrid, acuerda otorgarle la CALIFICACIÓN de

VOCAL

SECRETARIO

PRESIDENTE

Agradecimientos

En primer lugar me gustaría dar las gracias a mi tutor Pablo Zumel Vaquero por su disposición y paciencia. Sin su ayuda nunca hubiese podido concluir este proyecto.

La mención más importante merece ser para Diego González Lamar de la Universidad de Oviedo, quien me ha brindado la oportunidad de realizar una gran parte del proyecto en dicha universidad de manera desinteresada. También he de agradecer a Pablo Fernández Miaja, Aitor Vázquez Ardura y Alberto Rodríguez Alonso, de la Universidad de Oviedo, la amabilidad y dedicación que me mostraron ayudándome a resolver cualquier duda en todo momento.

El agradecimiento más especial es para mi familia, por apoyarme incondicionalmente y aguantar todos estos años de larga carrera; y para Víctor, por estar a mi lado y por saber siempre cómo animarme en los momentos bajos.

Gracias a Pablo Fernández Vivanco, por ayudarme a dar el primer paso en la realización de este proyecto otorgándome lo más imprescindible, los contactos.

Por último, no puede faltar el agradecimiento a mis compañeros y amigos de la universidad, los cuales me han regalado verdaderos buenos momentos a lo largo de toda la carrera, que sin duda coronarán esta etapa de mi vida.

Dedicado especialmente a mi abuelo Shozo.

Resumen

El presente proyecto consiste en la realización del diseño eléctrico y físico de un convertidor CC/CC en funcionamiento como reductor síncrono.

Al ser síncrono el convertidor, necesitará un circuito de mando para controlar los interruptores. Estos circuitos, también llamados drivers, serán módulos separados del convertidor proporcionando un aislamiento galvánico entre las etapas de control y de potencia, de manera que puedan ser utilizados en una estructura de convertidores modulares con conexión en serie de varios convertidores.

Las señales de control de los interruptores serán implementadas mediante una FPGA. Para ello se diseñará un código en VHDL para simular su funcionamiento mediante el software Modelsim, y se adaptará con Xilinx ISE para su configuración en la FPGA.

Para comprobar el correcto funcionamiento del diseño se realizarán varias pruebas en lazo abierto, así como en lazo cerrado, donde la realimentación permitirá fijar una tensión de salida determinada variando el ciclo de trabajo de las señales del convertidor.

Palabras clave: Convertidor CC/CC, drivers modulares, electrónica de potencia.

Abstract

This final project consists of performing the electrical and physical design of a DC/DC converter operating as a synchronous buck converter.

A synchronous converter needs a control circuit to establish the timing when a switch must be on or off. These circuits, also known as drivers, are modular designed so they can provide a galvanic isolation between the control unit and the power unit. This allows the usage of the drivers in a structure of modular converters connected in series.

The control signals of the switches will be implemented by a FPGA. For this purpose it is necessary to design a VHDL code with Modelsim software, and afterwards the programming of the FPGA will be done with Xilinx ISE.

In order to verify the proper operating of the system, it is important to test it in open loop and close loop, in which the output voltage could be fixed varying the duty cycle of the signals of the converter.

Keywords: DC/DC converter, modular drivers, power electronics.

Índice General

1. Introducción y objetivos	19
1.1. Introducción.....	19
1.2. Objetivos.....	20
1.3. Fases del desarrollo.....	20
1.4. Medios empleados	21
1.5. Estructura de la memoria	21
2. Introducción a los convertidores CC/CC	23
2.1. Convertidores bidireccionales	24
2.1.1. Familia reductor/elevador	24
2.1.2. Familia convertidores resonantes.....	27
3. Diseño de la etapa de potencia.....	29
3.1. El convertidor reductor síncrono	29
3.1.1. Diseño teórico	29
3.1.2. Placa de circuito impreso	43
3.2. Los drivers	50
3.2.1. Diseño de los drivers.....	50
3.2.2. Placa de circuito impreso	53
4. Control digital del convertidor	55
4.1. Introducción.....	55
4.2. Diseño del circuito que genera los pulsos de control	56

4.3. Simulación con Modelsim	59
4.3.1. La señal de reloj	60
4.3.2. Señales de control de los MOSFET	61
4.3.3. Testbench	62
4.4. Configuración de la FPGA	62
4.4.1. Entidad principal con Chipscope	63
4.5. Circuito en lazo cerrado	65
4.5.1. El conversor analógico digital	66
5. Resultados experimentales.....	71
5.1. Descripción del setup de medida	71
5.1.1. Convertidor reductor en lazo abierto	75
5.1.2. Convertidor reductor en lazo cerrado	76
5.1.3. Convertidor elevador en lazo cerrado	77
5.2. Convertidor reductor	78
5.2.1. Formas de onda características	78
5.2.2. Rendimiento	81
5.3. Convertidor elevador	86
5.3.1. Formas de onda características	86
5.3.2. Rendimiento	88
5.4. Comportamiento dinámico	90
5.4.1. Medida del lazo como reductor	92
5.4.2. Medida del lazo como elevador	94
6. Conclusiones y trabajos futuros.....	97
7. Glosario	99
8. Bibliografía.....	101

Índice de figuras

Figura 2.1. Esquema básico del convertidor elevador/reductor.	25
Figura 2.2. Esquema del convertidor reductor-elevador bidireccional.	26
Figura 2.3. Esquema del convertidor reductor-elevador en cascada.	26
Figura 3.1. Esquema del convertidor reductor.	30
Figura 3.2. Gráficas de la hoja de cálculo “Parametros_buck.m”.	31
Figura 3.3. Gráficas de los valores instantáneos.	32
Figura 3.4. Diagrama de flujo del diseño del convertidor.	33
Figura 3.5. Pérdidas del material VS Bpico.	35
Figura 3.6. Pérdidas en el cobre y en el núcleo en función de N.	36
Figura 3.7. Pérdidas en la bobina.	37
Figura 3.8. Diagrama de flujo del diseño de la bobina en Matlab.	39
Figura 3.9. Pérdidas en conmutación de un MOSFET.	41
Figura 3.10. Esquemático del convertidor reductor.	43
Figura 3.11. Flujos de circulación de corriente en el convertidor reductor (buck) con rectificación síncrona.	45

Figura 3.12. Pista de tierra en la etapa de control.	47
Figura 3.13. Engarce entre la tierra de la etapa de control y potencia.....	48
Figura 3.14. Descripción de la placa del convertidor.	49
Figura 3.15. Diagrama de bloques de los drivers.	50
Figura 3.16. Información del convertidor serie DHC01.....	51
Figura 3.17. Operación de ajuste del LT1763.	51
Figura 3.18. Diagrama de bloques funcional del ADP3300.....	52
Figura 3.19. Descripción de la placa del driver.	53
Figura 4.1. Señales de control de los MOSFET.	56
Figura 4.2. Las señales de control diseñadas.....	57
Figura 4.3. Diagrama de flujo del programa “Control_DPWM.vhd”.	58
Figura 4.4. Esquema explicativo del uso de las variables cuenta y retraso en el código.	59
Figura 4.5. Esquema del control digital.....	59
Figura 4.6. Diagrama de flujo del programa “clock.vhd”.	60
Figura 4.7. Señal de reloj de periodo 10 ns en Modelsim.	61
Figura 4.8. Señales de control de los interruptores en Modelsim.....	61
Figura 4.9. Señales de control con varias D y td.	62
Figura 4.10. Esquema de la entidad “Controlador_chip.vhd”.	63
Figura 4.11. Esquema de conexión de los programas “mi_icon” y “mi_vio”.....	64
Figura 4.12. Esquema total del programa “Convertidor_chip”.	64
Figura 4.13. Esquema del circuito en lazo cerrado.....	65
Figura 4.14. Esquema del control del lazo.	65
Figura 4.15. Frecuencias de los bits del contador.	66

Figura 4.16. Diagrama de flujo que ilustra el funcionamiento del circuito que genera el reloj del ADC.	67
Figura 4.17. Esquema del ADC.....	67
Figura 4.18. Paso de una variable de 8 bits a 10 bits.....	68
Figura 4.19. Esquema del bloque del proceso de control del lazo.	68
Figura 4.20. Esquema del bloque del controlador en lazo cerrado.....	68
Figura 5.1. Fotografía del convertidor.....	72
Figura 5.2. Fotografía de un driver.....	72
Figura 5.3. Fotografía de la tarjeta FPGA.	73
Figura 5.4. Divisor resistivo.	73
Figura 5.5. Fotografía del circuito para el ADC.....	74
Figura 5.6. Montaje del sistema como reductor en lazo abierto.....	75
Figura 5.7. Detalle de la entrada de los pulsos de control del convertidor.....	75
Figura 5.8. Montaje del sistema como reductor en lazo cerrado.	76
Figura 5.9. La carga compuesta por dos resistencias (izq) y la carga electrónica (dcha).	76
Figura 5.10. Montaje del sistema como elevador en lazo cerrado.	77
Figura 5.11. Señales de control S1 (CH1) y S2 (CH2) para el reductor.	78
Figura 5.12. Señal de reloj para el ADC.....	78
Figura 5.13. Señales a la entrada de los drivers, S1 (CH1) y S2 (CH2) para el reductor.	79
Figura 5.14. Señales a la salida de los drivers, S1 (CH1) y S2 (CH2) para el reductor.	79
Figura 5.15. V_{GS} de S1 (a) y V_{GS} de S2 (b) en funcionamiento como reductor.....	80
Figura 5.16. V_D de S2 en vacío (a), con $I_0=0.5A$ (b) y con $I_0=4.8A$ (c) en funcionamiento como reductor.....	80
Figura 5.17. Rendimiento vs. I_0 para $V_e=50V$, reductor lazo abierto.	82

Figura 5.18. Rendimiento vs. I_0 en función de t_d como reductor en lazo cerrado.	83
Figura 5.19. Rendimiento vs. I_0 , reductor en lazo cerrado con carga electrónica.	84
Figura 5.20. Rendimiento vs. I_0 , reductor lazo cerrado con $V_{e_{min}}$ y $V_{e_{max}}$	84
Figura 5.21. Comparación del rendimiento en lazo abierto y en lazo cerrado.	85
Figura 5.22. Comparación del rendimiento con carga combinada y carga electrónica..	85
Figura 5.23. Señales de control S1 (CH1) y S2 (CH2) en el elevador.	86
Figura 5.24. Señales a la entrada de los drivers, S1 (CH1) y S2 (CH2) para el elevador.	86
Figura 5.25. Señales a la salida de los drivers, S1 (CH1) y S2 (CH2) para el elevador.	87
Figura 5.26. V_{GS} de S1 (a) y de S2 (b) en funcionamiento como elevador.	87
Figura 5.27. V_{DS} de S1 en vacío (a), V_{DS} de S2 en vacío (b) y V_{DS} de S2 con $I_0=0.5A$ (c).	88
Figura 5.28. Rendimiento vs. I_0 , elevador en lazo cerrado.	89
Figura 5.29. Rendimiento vs. I_0 , elevador con $V_{e_{min}}$ y $V_{e_{max}}$	89
Figura 5.30. Comparación del rendimiento en modo reductor y elevador.	90
Figura 5.31. Esquema de conexión para medidas de lazo.	91
Figura 5.32. Diagrama de bloques del sistema realimentado.	91
Figura 5.33. Planta con $V_e=25V$ (a) y con $V_e=50V$ (b).	92
Figura 5.34. Regulador con $V_e=25V$ (a) y con $V_e=50V$ (b).	93
Figura 5.35. Lazo con $V_e=25V$ (a) y con $V_e=50V$ (b).	93
Figura 5.36. Planta con $V_e=10V$ (a) y con $V_e=20V$ (b).	94
Figura 5.37. Regulador con $V_e=10V$ (a) y con $V_e=20V$ (b).	95
Figura 5.38. Lazo con $V_e=10V$ (a) y con $V_e=20V$ (b).	95

Índice de tablas

Tabla 3.1. Pérdidas de los MOSFET (switch).	42
Tabla 3.2. Pérdidas de los MOSFET (diodo).	42
Tabla 5.1. Rendimiento como reductor en lazo abierto con $V_e=10V$	81
Tabla 5.2. Rendimiento como reductor en lazo abierto con $V_e=25V$	81
Tabla 5.3. Rendimiento como reductor en lazo abierto con $V_e=40V$	82
Tabla 5.4. Rendimiento como reductor en lazo abierto con $V_e=50V$	82

Capítulo 1

Introducción y objetivos

1.1. Introducción

Este proyecto consiste en un demostrador de un convertidor reductor síncrono con control digital mediante drivers aislados. Se pretende probar el funcionamiento de dichos drivers para su futura aplicación en sistemas formados por varios convertidores conectados en serie o en paralelo, la cual es una investigación que se está llevando a cabo entre la Universidad Carlos III de Madrid y la Universidad de Oviedo. La idea global y las fases de diseño, construcción del prototipo y la programación del control se realizaron en la Universidad de Oviedo, bajo la supervisión del profesor Diego González Lamar. Las pruebas experimentales del convertidor CC/CC se completaron en la Universidad Carlos III de Madrid, con Pablo Zumel Vaquero como tutor del proyecto.

La motivación del presente proyecto reside en la modularidad del diseño de convertidores, desde el punto de vista de los dispositivos de mando o drivers. La etapa de control de los interruptores del convertidor es un módulo separado del circuito de potencia, permitiendo un aislamiento galvánico entre ambas etapas para así facilitar la posibilidad de utilizar otras estructuras de convertidores diferentes a las estudiadas en este proyecto. En un sistema formado por varios convertidores, estos drivers también permitirían un control centralizado de todos los interruptores mediante un único

dispositivo digital (FPGA o microprocesador) sin tener que prestar atención al aislamiento galvánico necesario entre los diferentes convertidores.

1.2. Objetivos

El objetivo principal de este proyecto fin de carrera es el de diseñar un demostrador de un convertidor bidireccional (elevador/reductor) síncrono con drivers con aislamiento galvánico y con control digital mediante FPGA.

Para alcanzar este objetivo principal, se han impuesto otros objetivos más concretos en función de las fases de desarrollo del presente proyecto.

El primero de ellos es el de diseño eléctrico y físico del convertidor reductor síncrono. Este objetivo incluye la selección de los componentes adecuados para el correcto funcionamiento del circuito y el diseño de la placa de circuito impreso.

El segundo objetivo consiste en el diseño y la construcción de los circuitos de mando de los interruptores del convertidor, teniendo en cuenta que deben proporcionar aislamiento galvánico entre las etapas de control y potencia, de manera que puedan ser utilizados en una estructura de convertidores modulares con conexión en serie de varios convertidores.

El siguiente objetivo es la programación del control de los interruptores del convertidor, implementado en una FPGA. Por un lado, se han de diseñar las señales adecuadas para que la conmutación de los interruptores se haga correctamente, impidiendo que conduzcan a la vez ambos MOSFET. Por otro lado, se debe regular la tensión de salida, de manera que permanezca constante aunque cambie la tensión de entrada o la carga.

El cumplimiento satisfactorio de estos objetivos parciales, facilita el poder alcanzar el objetivo principal de este proyecto mencionado anteriormente.

1.3. Fases del desarrollo

El desarrollo del presente proyecto se puede dividir en cuatro grandes fases: una primera fase de diseño, seguida de una fase de construcción del prototipo, una tercera fase de programación, y por último la fase de pruebas y ensayos experimentales.

Para la primera fase, el diseño del prototipo tanto del circuito convertidor reductor como de la bobina, se han realizado mediante hojas de cálculo con el programa Matlab. A través de estas hojas de cálculo se obtienen los parámetros necesarios para la construcción del convertidor y de la bobina.

En la fase de construcción se utilizan con los componentes elegidos en la primera fase para fabricar el prototipo del convertidor reductor.

La tercera fase comienza con la programación de las señales de control de los MOSFET con el software Modelsim para poder ver las simulaciones de dichas señales, y termina con el código adaptado al software Xilinx ISE que permite la programación en la FPGA.

La última fase consiste en el análisis de las pruebas y ensayos experimentales realizados para la caracterización del circuito y la verificación de su correcto funcionamiento.

Para terminar, en todo proyecto se puede considerar como fase final adicional la de la elaboración de la documentación, donde se recoge toda la información de las fases del desarrollo del proyecto.

1.4. Medios empleados

Los medios con los que se ha contado para realizar el proyecto han sido los siguientes:

- **Hardware:** PC (Windows), FPGA Digilent BASYS.
- **Software:** Matlab R2008a, OrCAD 10.5 Capture CIS, OrCAD 10.5 Layout Plus, Modelsim, Xilinx ISE 11, Xilinx ChipScope Pro Analyzer 11, Digilent Adept.
- **Equipos de laboratorio:** Osciloscopio, soldador, fuentes de alimentación, generador de funciones, taladradora, multímetros digitales, carga electrónica.

1.5. Estructura de la memoria

Con el fin de facilitar la lectura de la memoria, se incluye a continuación un breve resumen de cada capítulo.

- **Capítulo 1:** se explica la motivación del presente proyecto y los objetivos a seguir en la realización del mismo. Incluye unos breves resúmenes de cada capítulo.
- **Capítulo 2:** en este capítulo se realiza una breve introducción a las fuentes de alimentación, comparando las fuentes de alimentación conmutadas con las lineales. Además se explican los tipos de convertidores bidireccionales más representativos.
- **Capítulo 3:** en este capítulo se realiza el análisis estático del convertidor reductor síncrono para obtener los parámetros necesarios para su diseño, así como la selección y diseño de los componentes que constituyen dicho convertidor. Además, se realiza una descripción del diseño de la placa de circuito impreso del convertidor reductor, y las condiciones que hay que tener en cuenta a la hora de la colocación de los dispositivos y el trazado de las pistas. Por último, se realiza una descripción de los componentes del driver y del diseño de la placa de circuito impreso del mismo.
- **Capítulo 4:** en este capítulo se explica el programa diseñado para el control de los MOSFET mediante lenguaje VHDL, su simulación en el software Modelsim y su implementación en la FPGA.
- **Capítulo 5:** en este capítulo se describe el setup del sistema para realizar las medidas, así como las pruebas realizadas para la comprobación del funcionamiento del circuito en lazo abierto y en lazo cerrado, con los correspondientes resultados obtenidos de forma teórica y experimental.
- **Capítulo 6:** principales conclusiones extraídas a lo largo del desarrollo del proyecto, y posibles líneas de investigación futuras.

Capítulo 2

Introducción a los convertidores CC/CC

Los convertidores CC/CC son utilizados normalmente para convertir un nivel de tensión de continua no regulada, en otro nivel deseado de tensión de continua a la salida. Una de las dos topologías básicas de los convertidores CC/CC es la de convertidor reductor. Un convertidor reductor, como su nombre indica, produce una tensión media de salida menor que la tensión de entrada. Sus principales aplicación es en fuentes de alimentación de CC reguladas y control de velocidad de motores de CC.

Se denomina fuente de alimentación en un equipo electrónico a un circuito destinado a generar una o varias tensiones continuas, normalmente fijas en el margen de 5 a 15 V, con una o dos polaridades, que suministra energía al resto del equipo si se trata de Electrónica de Señal, o a los circuitos de control si se trata de un equipo de Electrónica de Potencia.

Las fuentes de alimentación de corriente continua reguladas son necesarias en la mayoría de los sistemas analógicos y digitales. La mayoría de las fuentes de alimentación son diseñadas para cumplir una o varias de las siguientes condiciones:

- Salida regulada. La tensión de salida debe permanecer constante dentro de una tolerancia específica para cambios dentro de un rango específico de la tensión de entrada y la carga de salida.
- Aislamiento. La salida puede que tenga que estar aislada eléctricamente de la entrada.
- Múltiples salidas. Puede haber múltiples salidas (positivas y negativas) que difieran en sus voltajes y corrientes nominales. Estas salidas deberán estar aisladas unas de otras.

Además de estos requisitos, un propósito bastante común es reducir el tamaño y el peso de las fuentes de alimentación y mejorar el rendimiento. Tradicionalmente se han usado las fuentes de alimentación lineales. Sin embargo, los avances en la tecnología de semiconductores han conducido a las fuentes de alimentación conmutadas, las cuales son más pequeñas y mucho más eficientes comparadas con las lineales. La comparación de los costes entre ambas fuentes de alimentación depende de la potencia nominal.[4][5].

2.1. Convertidores bidireccionales²

Existen tres grandes familias dentro de los convertidores bidireccionales: la familia reductor/elevador, los convertidores resonantes y la familia de los convertidores de cuatro elementos reactivos. A continuación se explican algunas de estas familias:

2.1.1. Familia reductor/elevador

La más básica es la familia reductor/elevador. Ésta engloba las topologías básicas de reductor y elevador con una única transformación en el formato de la energía, elevación en un sentido y reducción en el sentido contrario. También pertenecen a esta familia los convertidores de tipo reductor-elevador, estos permiten ambas transformaciones en cualquiera de los dos sentidos.

2.1.1.1. Elevador/reductor

El esquema más básico del primer grupo se representa en la Figura 2.1. Esta topología es la llamada elevador/reductor (también llamada en la literatura *boost-buck*), y es la que se estudia en el presente proyecto. Tiene la ventaja de ser la que menos

² Se ha incluido como apartado de este capítulo de introducción a los convertidores CC/CC, la clasificación de los convertidores bidireccionales del trabajo fin de máster de Juan Carlos Forés Parra, titulado "Estudio y diseño de un convertidor bidireccional de alto rendimiento controlado digitalmente mediante FPGA". Universidad de Oviedo.

componentes necesita. Sin embargo, tiene el inconveniente de que está limitada a un único modo de operación, elevación o reducción en función del sentido del flujo de potencia. En sentido directo actúa como un simple elevador y en sentido contrario como un simple reductor. Esta topología puede utilizarse con un rango de potencias medio entre los 100 W y 1 KW.

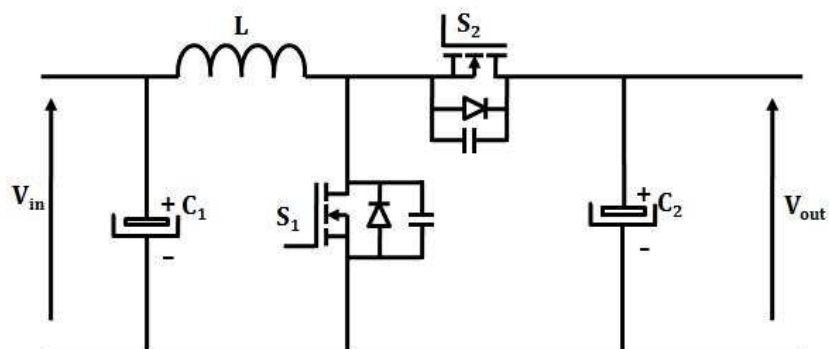


Figura 2.1. Esquema básico del convertidor elevador/reductor.

A la hora de controlar esta topología existen dos modos de control. El primer modo consiste en conmutar únicamente uno de los transistores, mientras que el otro permanece en todo momento desactivado. En este caso trabajaría el diodo parásito del segundo transistor, o uno de mejores características que se coloque en paralelo. El segundo modo de control, llamado control complementario, consiste en conmutar ambos transistores con señales complementarias entre sí.

La principal ventaja del primer modo es su sencillez para diseñar el lazo de control de tensión, ya que basta con controlar uno sólo de los interruptores. Sin embargo, a la hora de diseñar el regulador es necesario diferenciar si el convertidor está trabajando como reductor o como elevador. Esto hace que aparezcan varios inconvenientes debido a que la determinación y cambio del sentido del flujo de potencia no resulta obvia. Por un lado, se tiene que el regulador del control ha de cambiar teniendo en cuenta las diferencias en la dinámica de ambas topologías, reductora y elevadora. Por otro lado, si no se utiliza el interruptor S2 como rectificador síncrono aparecen conmutaciones duras. Otro inconveniente es que no se pueden asegurar conmutaciones suaves en los semiconductores simultáneamente, lo que se traduce en un aumento de las pérdidas.

El segundo modo, permite el uso de una misma referencia para el control en ambos sentidos, lo más adecuado sería mediante el control de la corriente. Esto permite conocer el sentido del flujo de potencia en función de si la referencia es positiva o negativa. Otra ventaja es que se puede operar bajo conmutaciones suaves en ambos transistores, aplicando un tiempo muerto entre las señales complementarias. Sin embargo, se paga un precio por tener dos interruptores controlados, que consiste en la complejidad del control.

2.1.1.2. Reductor-elevador

Otra topología es la versión bidireccional del convertidor reductor-elevador (en la literatura llamada *buck-boost*). Su esquema puede verse en la Figura 2.2. En este caso tanto la elevación como la reducción se puede aplicar en ambos sentidos del flujo de potencia.

El principal inconveniente es el aumento del volumen de pérdidas de este convertidor, lo que se traduce en un rendimiento inferior comparándolo con la etapa elevadora o reductora simple. Este aumento de pérdidas se debe al aumento de estrés que sufren los semiconductores, principalmente por las tensiones que han de soportar. Otro problema es el hecho de que las tensiones están invertidas, lo que puede ser perjudicial al trabajar con tensiones elevadas.

Debido a estos problemas, su uso se limita a aplicaciones de bajas potencias, hasta 500 W, en las que se necesita su capacidad reductora-elevadora.

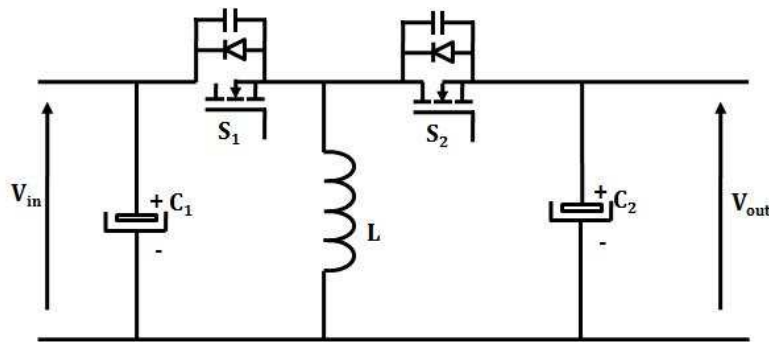


Figura 2.2. Esquema del convertidor reductor-elevador bidireccional.

Para controlar esta topología, se pueden aplicar los dos métodos explicados en el subapartado anterior, llegando a las mismas conclusiones que con el esquema elevador/reductor.

2.1.1.3. Reductor-elevador en cascada

Una tercera topología consiste en el reductor-elevador en cascada, cuyo esquema se puede observar en la Figura 2.3.

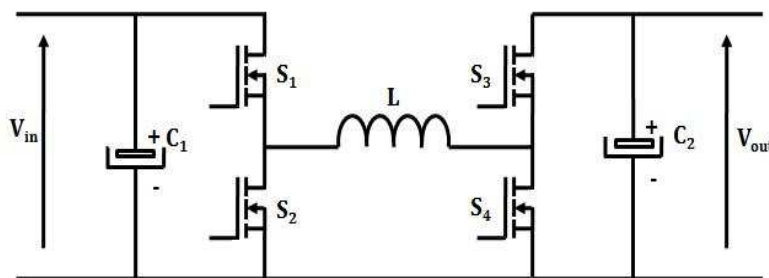


Figura 2.3. Esquema del convertidor reductor-elevador en cascada.

Esta topología no tiene los inconvenientes de las anteriores, ya que no invierte las tensiones y los interruptores tienen un estrés menos que en la topología reductor-elevador, por lo que las pérdidas también son menores. Además tiene una gran flexibilidad de funcionamiento dependiendo de qué transistor esté conmutando, permitiendo tanto elevación como reducción en ambos sentidos.

El inconveniente de este convertidor consiste en que se pasa a tener cuatro interruptores, lo que hace más complejo su control.

Con esta topología se pueden manejar potencias de hasta decenas de kilovatios.

2.1.2. Familia convertidores resonantes

Esta familia abarca múltiples topologías, pero en el caso de convertidores en una sola etapa, los más importantes son los cuasi-resonantes (QR).

Los convertidores QR se basan en la idea de interruptor “resonante” (PWM-QR) que utiliza la resonancia de un circuito, formado por un inductor y un capacitor, para modificar la señal eléctrica, de tensión o corriente, presente en el interruptor del convertidor. Con este método se consigue que la conmutación sea suave ya que en el momento de la conmutación no existe al mismo tiempo tensión y corriente.

Estos convertidores pueden ser de frecuencia variable o constante. Existen problemas de flujo de potencia desbalanceado, es decir, la máxima potencia que se puede transmitir en un sentido es diferente a la máxima permitida en el sentido contrario. Por ello, se limita el uso de estos convertidores a aplicaciones de carga y descarga, con potencias menores a 200 W.

Capítulo 3

Diseño de la etapa de potencia

En este capítulo se detalla el proceso de diseño seguido para la construcción del prototipo del convertidor síncrono y de los drivers necesarios para el control de los interruptores. Para el convertidor, primero se analizará estáticamente su comportamiento realizando cálculos teóricos, se seleccionarán los componentes que formarán la placa, y por último se procederá al diseño de la placa de circuito impreso y su fabricación y montaje. En el caso del driver, se explicará el porqué del complejo diseño escogido así como el layout detallado del circuito.

3.1. El convertidor reductor síncrono

3.1.1. Diseño teórico

3.1.1.1. Análisis estático

A continuación se desarrolla brevemente el análisis del convertidor reductor (*buck*). En la Figura 3.1 se muestra su esquema.

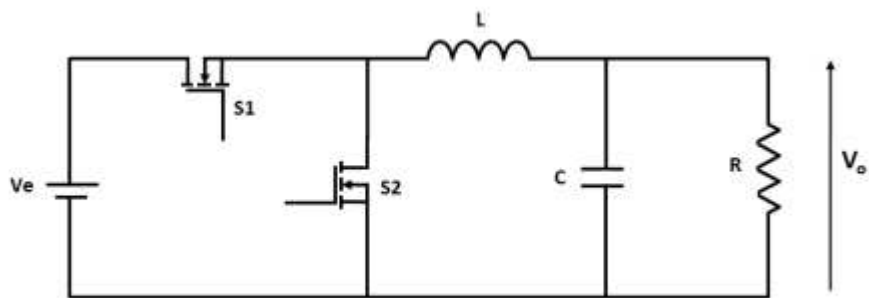


Figura 3.1. Esquema del convertidor reductor.

Cuando el interruptor S1 entra en conducción, la bobina se cargará con la diferencia de tensión entre la tensión de entrada, V_e , y la de salida, V_o . El interruptor S2 se mantendrá abierto. Cuando el interruptor S1 deje de conducir, entonces entrará en conducción S2, haciendo que la bobina se descargue con la tensión de salida V_o .

El análisis estático detallado se puede observar en el Anexo I.

Se obtiene que, en modo de conducción continua, el valor del ciclo de trabajo es:

$$d = \frac{V_o}{V_e}$$

Ecuación 1

Y en modo de conducción discontinua, mediante la ecuación I.4 del Anexo I, se puede obtener la expresión para el ciclo de trabajo:

$$d = \sqrt{\frac{2 \cdot P \cdot L \cdot f}{V_e \cdot (V_e - V_o)}}$$

Ecuación 2

$$\Delta = \left(\frac{V_e}{V_o} - 1 \right) \cdot \sqrt{\frac{2 \cdot P \cdot L \cdot f}{V_e \cdot (V_e - V_o)}}$$

Ecuación 3

➤ Proceso de diseño

Para realizar los cálculos matemáticos, se han creado varias hojas de cálculo en el Anexo II.1.1 mediante el programa Matlab. Con ellas se pueden obtener también las gráficas necesarias. Estos programas han sido diseñados de la forma más genérica posible, para poder ser utilizados en el diseño de diferentes convertidores para diversas aplicaciones. Por esta razón, a pesar de que el convertidor diseñado no entra nunca en modo de conducción discontinuo, se han añadido los cálculos para dicho modo en este capítulo. [1].

En el diseño existe un programa principal llamado “Parametros_buck.m”, donde los datos de entrada se introducen al cálculo mediante la llamada al archivo “datos.m”, en el que se encontrarán los valores de las tensiones de entrada y salida, y la potencia máxima entre otros. Para realizar un diseño de un convertidor diferente, tan sólo hace falta cambiar este archivo con los nuevos valores. El programa principal se ayuda además, de unas funciones llamadas “ciclomcc.m”, “ciclomcd.m” y “ciclotrabajo.m” que simplifican la programación y facilitan la representación de las gráficas.

Aunque el comportamiento del convertidor reductor síncrono es tal que siempre está en modo de conducción continuo (MCC), las funciones de diseño se han realizado para el caso más general de un convertidor reductor convencional, que incluya un diodo en lugar del interruptor S2 en la Figura 3.1.

Los datos de entrada para el diseño del convertidor son:

- Potencia de salida: $P_{\max}=100$ W
- Tensión de entrada: $V_e=50$ V ($V_{e, \min}=45$ V, $V_{e, \max}=55$ V)
- Tensión de salida: $V_0=20$ V
- Frecuencia de conmutación: $f=100$ KHz
- Porcentaje de rizado de tensión: 1%

La siguiente figura muestra las gráficas obtenidas por el programa:

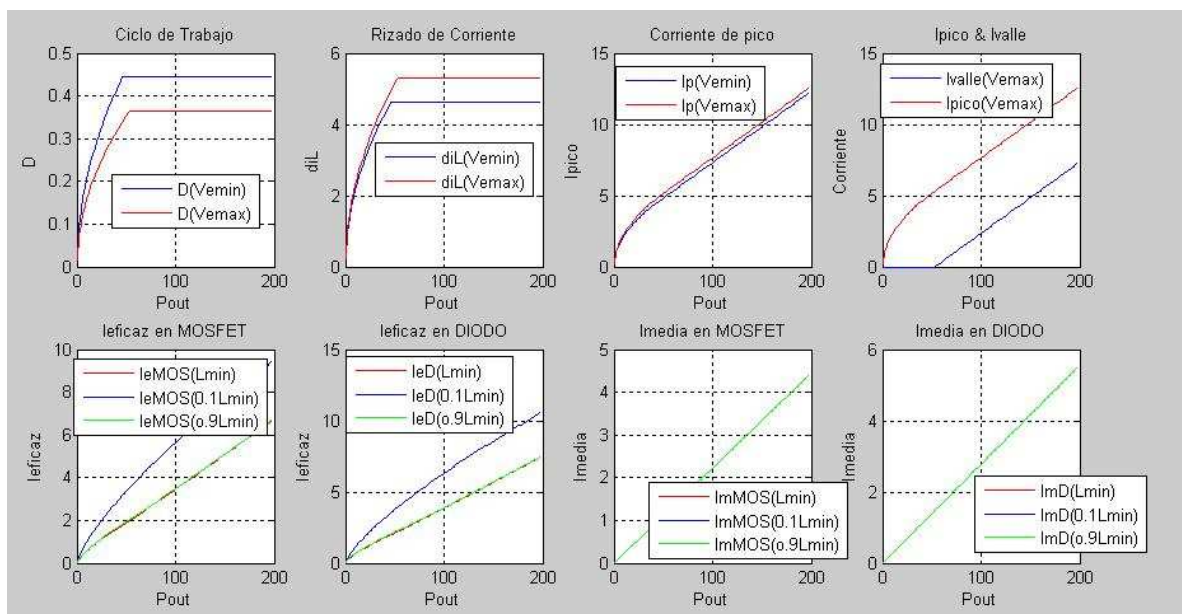


Figura 3.2. Gráficas de la hoja de cálculo “Parametros_buck.m”.

La primera gráfica muestra el ciclo de trabajo respecto a la potencia de salida. En MCD el ciclo de trabajo varía en función de la potencia, suponiendo una tensión de salida V_0 regulada. En MCC el ciclo de trabajo se mantiene constante con la potencia, si

la tensión de entrada se mantiene constante. De lo contrario, cuanto mayor es la tensión de entrada V_e , menor es el valor que alcanza D. Se puede observar un comportamiento similar en el rizado de corriente por la bobina. Se distinguen claramente las zonas de MCC y MCD. En caso de MCC, a mayor V_e mayor rizado de corriente Δi_L .

La tercera gráfica representa la corriente de pico de la bobina para las tensiones de entrada $V_{e, \min}$ y $V_{e, \max}$. Es apreciable que la tensión de entrada no es muy determinante para la corriente de pico puesto que ambas gráficas son muy similares.

En la siguiente gráfica se compara la corriente de pico con la corriente de valle en la bobina para $V_{e, \max}$. Al contrario que la corriente de pico, la influencia de la tensión de entrada es significativa.

Las corrientes eficaces y medias en el MOSFET principal (S1 en la Figura 3.1) y en el diodo³ están obtenidas mediante cálculos en la hoja de Matlab, y posteriormente representadas en función del valor de la bobina (con la L calculada, y con valores correspondientes al 10% y 90% de la misma). Las dos últimas gráficas muestran una variación constante de la corriente media en función de la potencia de salida. Estas gráficas se han representado para dimensionar los componentes del convertidor.

Para la obtención de las gráficas de los valores instantáneos de las corrientes, se han creado otras funciones llamadas: “IDIODO.m”, “IefL.m”, “ILmaxmin.m” e “IMOS.m”. Las gráficas de los valores instantáneos de corrientes en cada uno de los componentes, obtenidos por la hoja de cálculo son las siguientes:

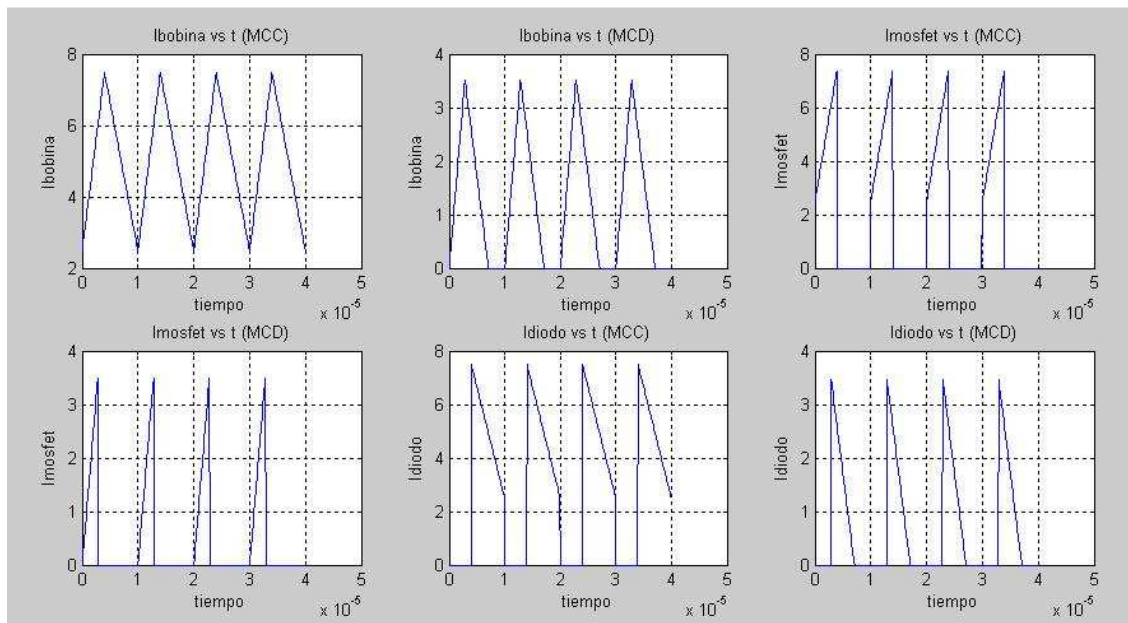


Figura 3.3. Gráficas de los valores instantáneos.

³ El diodo sustituiría a S2 en la Figura 3.1 en un convertidor buck convencional.

Se puede realizar una comparación con las gráficas teóricas de la Figura I.3 del Anexo I, con las que se observa una gran semejanza, por lo que se puede concluir que el análisis en Matlab es correcto. Se añaden las gráficas en MCD también para que se pueda ver su comportamiento, aunque para este proyecto no resulten determinantes.

El diagrama de flujo del programa principal “Parametros_buck.m” se muestra en la siguiente figura:

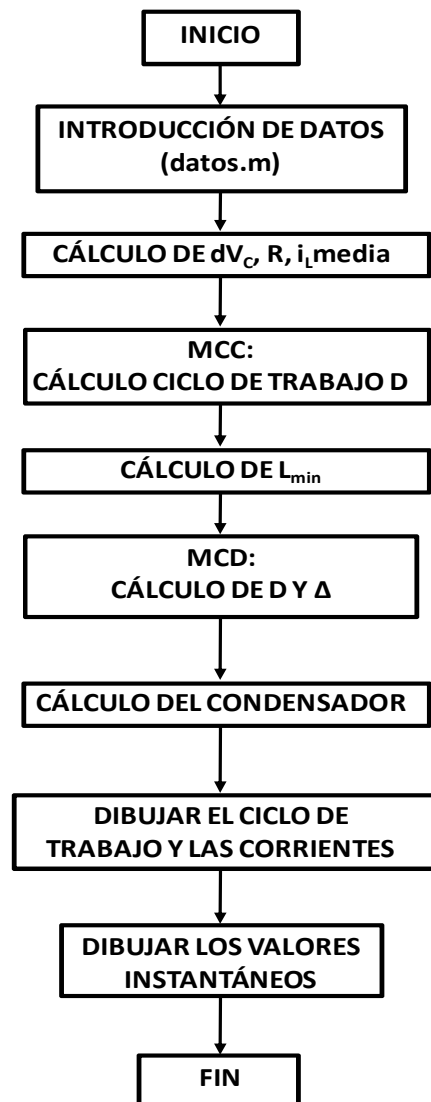


Figura 3.4. Diagrama de flujo del diseño del convertidor.

3.1.1.2. Diseño de la bobina

A partir de los datos obtenidos del análisis estático, se procede a diseñar la bobina con un único devanado, necesaria para el funcionamiento del convertidor. El diseño óptimo de una bobina consiste en conseguir que tenga las menores pérdidas posibles, así como el valor de la inductancia deseado sin que se sature el núcleo en las condiciones de trabajo más exigentes.

Se calculará el número óptimo de vueltas de la bobina para que el conjunto de pérdidas en el cobre (debidas a la resistencia que ofrece el hilo del devanado al paso de la corriente) y en el núcleo (debidas al hecho de inducir un flujo variable por él) sea mínimo.[2].

Datos obtenidos del análisis estático:

- Inductancia: $L=24\ \mu\text{H}$
- Corriente eficaz: $I_{\text{eff}}=5.20\ \text{A}$
- Corriente de pico: $I_{\text{max}}=7.50\ \text{A}$
- Rizado de alta frecuencia: $I_{\text{pp}}=5\ \text{A}$
- Frecuencia: $f=100\ \text{kHz}$

Datos a obtener:

- Longitud del entrehierro, g.
- Número de espiras, n.
- Diámetro del conductor del devanado, d.
- Verificación de la validez del núcleo magnético a usar.

Proceso del cálculo:

- 1) Realizar el cálculo completo con un tamaño determinado de núcleo. Su elección se basa en la experiencia previa del diseñador.
- 2) El cálculo anterior debe incluir la determinación de la longitud del entrehierro.
- 3) Con el número de espiras calculado, estimación de las pérdidas en los devanados en función del grosor del hilo empleado. La sección total del hilo conductor debe caber en el núcleo.
- 4) En caso que el diseño no se juzgue adecuado, cambiar de tamaño y/o forma del núcleo.

Siguiendo el proceso de cálculo descrito, y basado en la experiencia, se inicia el cálculo de la bobina a partir del núcleo magnético 3F3a, tipo 11 en la tabla III.1 del Anexo III. Las constantes de este material son las siguientes:

Permeabilidad relativa: $\mu_r=2000$

Densidad de saturación: $B_{\text{sat}}=440\ \text{mT}$

$c=7.06\times 10^{-10}$

$x=1.19$

$y=2.55$

Se obtiene la siguiente curva de pérdidas del material en función de la frecuencia ($f_1=400\text{kHz}$, $f_2=200\text{kHz}$, $f_3=100\text{kHz}$, $f_4=50\text{kHz}$):

$$P_{mat} = c \cdot f^x \cdot B^y$$

Ecuación 4

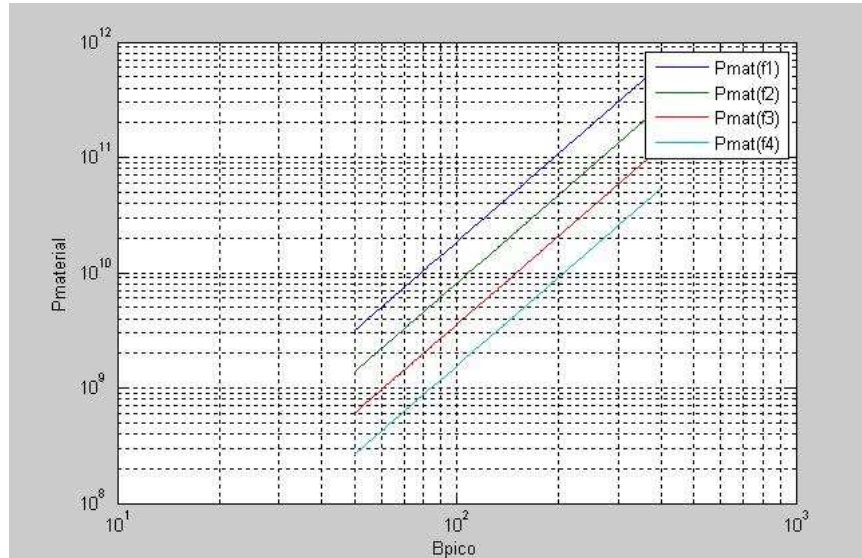


Figura 3.5. Pérdidas del material VS Bpico.

Para la selección del núcleo, en base a la experiencia previa, se tendrán en cuenta los de las clases 10, 11, 12 y 13 (E20/10/5, E20/10/6, E25/13/7 y E30/15/7 respectivamente). Las dimensiones de los núcleos se pueden obtener de la tabla III.2 del Anexo III.

Tras realizar los cálculos de las pérdidas totales con cada uno de los núcleos, se determina que el núcleo de clase 13 (E30/15/7) es el que menos pérdidas produce y el que menos se calienta, por lo tanto, es el más óptimo. A continuación se comprobará su validez.

Valores geométricos del núcleo elegido:

- Vol=4000 mm³
- longitud efectiva: l_e=67 mm
- área efectiva: A_e=60 mm²
- peso=11 g
- área de ventana del núcleo: A_w=80 mm²
- longitud media de las espiras: l_m=56 mm
- M_{ww}=17 mm

Se calcula el área de ventana, para ello se asigna un valor al factor de ventana, f_w. En general f_w<0.35. En este caso, f_w=0.3.

Con un margen de seguridad de 0.95, se calcula el número mínimo de vueltas:

$$N_{\min} = \frac{L \cdot I_{\max}}{B_{\text{sat}} \cdot 10^{-3} \cdot 0.95 \cdot Ae}$$

Ecuación 5

$$N_{\min} = 7.177$$

A continuación se calculan las pérdidas en el cobre y en el núcleo en función del número de vueltas N, según las siguientes expresiones:

$$P_{Cu}(N) = \frac{\rho \cdot l_m \cdot I_{\text{eff}}^2}{f_w \cdot A_w} \cdot N^2$$

Ecuación 6

(Resistividad del cobre: $\rho = \frac{1}{5.7 \cdot 10^7}$)

$$P_{Nu}(N) = c \cdot f^x \cdot (B(N) \cdot 10^3)^y \cdot Vol \cdot 10^3$$

Ecuación 7

$$B(N) = \frac{L \cdot \frac{I_{pp}}{2}}{N \cdot Ae}$$

Ecuación 8

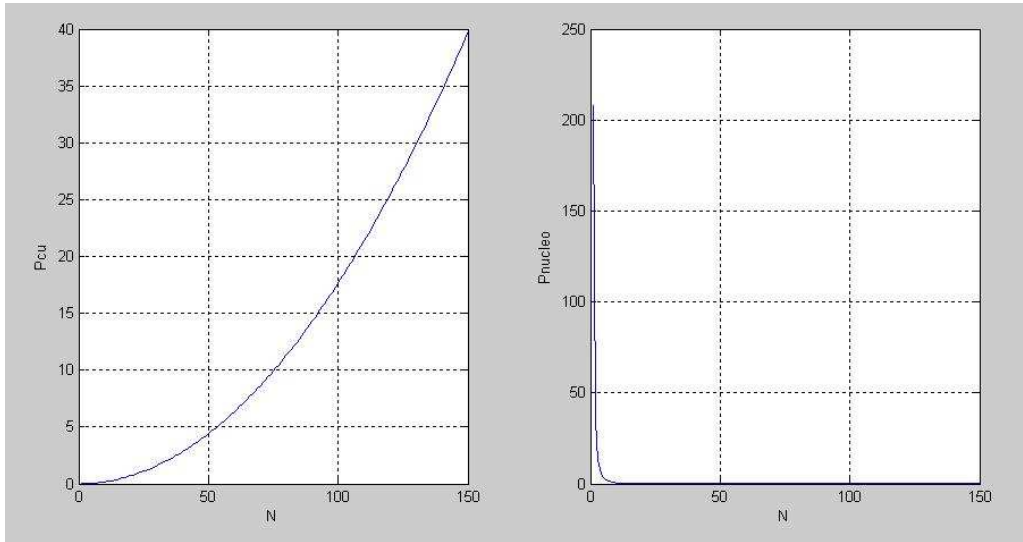


Figura 3.6. Pérdidas en el cobre y en el núcleo en función de N.

El valor del número de vueltas óptimo se encuentra en el punto en el que las pérdidas totales son mínimas, es decir, la suma de las pérdidas por el devanado y por el núcleo son mínimas. Dado que las pérdidas en el núcleo son inversamente proporcionales al número de espiras, y que las pérdidas en el cobre son directamente proporcionales al mismo, el punto donde las pérdidas totales son menores es el punto en el que las pérdidas en el cobre y en el núcleo son iguales.

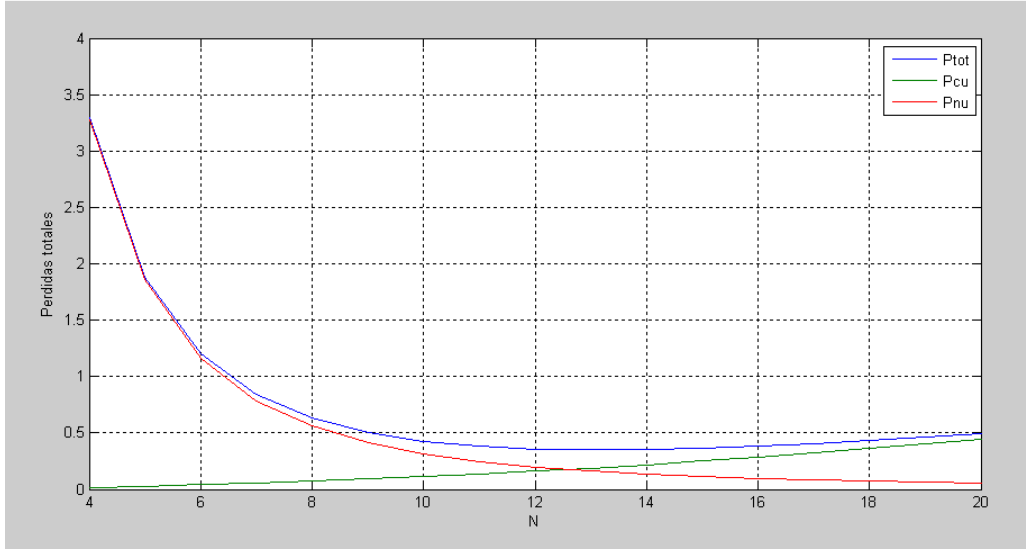


Figura 3.7. Pérdidas en la bobina.

Ese valor de N óptimo será válido si es mayor que el número de vueltas mínimo ($N_{\text{opt}} > N_{\text{min}}$). Si es menor, significa que el núcleo se satura, y hay que recurrir a un núcleo mayor, recalculando todos los parámetros de nuevo hasta hallar un núcleo que no se sature.

En este caso, $N_{\text{opt}}=13$. Puesto que es mayor que N mínimo, el núcleo no se satura.

Una vez obtenido el número de vueltas óptimo y comprobado que no se satura, sólo resta calcular el entrehierro de la bobina:

$$g = \frac{\mu_o \cdot N_{\text{op}}^2 \cdot Ae}{L} - \frac{l_e}{\mu_r} = 0.50 \text{ mm}$$

Ecuación 9

(Permeabilidad del vacío: $\mu_o = 4 \cdot \pi \cdot 10^{-7}$)

Las pérdidas en el núcleo son: $P_{\text{Nu}}=0.1623 \text{ W}$

Las pérdidas en el cobre son: $P_{\text{Cu}}=0.1874 \text{ W}$

Las pérdidas totales son: $P_{\text{total}}=0.3497 \text{ W}$

Es necesario calcular el diámetro del hilo de cobre para el devanado. Este diámetro no puede ser mayor que el doble de la profundidad *skin*, teniendo en cuenta que a alta frecuencia si la sección es muy grande, la corriente no se distribuye uniformemente por todo el conductor (efecto *skin*).

$$d_{\text{skin}} = 2 \cdot \sqrt{\frac{\rho}{\pi \cdot f \cdot \mu_o}} = 0.4216 \text{ mm}$$

Ecuación 10

Se elije un diámetro de hilo menor que el de *skin*: $d_h=0.30$ mm

Con este diámetro, el número de hilos en paralelo que caben como máximo en el área de ventana del núcleo son:

$$N_{hilos\ max} = \frac{S \cdot 4}{\pi \cdot (d_h \cdot 10^{-3})^2} = 26.1177$$

Ecuación 11

(Máxima sección de cobre admisible: $S = \frac{f_w \cdot A_w}{N_{opt}}$)

Por lo que se utilizarán 26 hilos en paralelo. ($N_{hilos}=26$)

$$S_{hilos} = N_{hilos} \cdot \frac{\pi \cdot (d_{hilo} \cdot 10^{-3})^2}{4}$$

Ecuación 12

Se recalculan las pérdidas en el cobre con estos datos obtenidos:

$$P_{Cu} = \frac{\rho \cdot l_m \cdot I_{eff}^2 \cdot N}{S_{hilos}} = 0.1882W$$

Ecuación 13

$$P_{total}=0.3505\ W$$

$$\text{Longitud del cable: } L_{cable} = N_{opt} \cdot l_m = 0.73m$$

Finalmente sólo queda comprobar que el área de ventana necesaria para poder evacuar las pérdidas es menor que el área de ventana del núcleo. Para ello, se utiliza la Ecuación 7 que facilitan los fabricantes de los núcleos magnéticos.

Considerando un incremento de la temperatura admisible de $\Delta T=60^\circ C$, y una temperatura del ambiente de $T_a=25^\circ C$:

$$A_{westim} = \frac{26 \cdot P_{total} \cdot 100}{\Delta T}$$

Ecuación 14

$$T = T_a + \frac{26 \cdot P_{total} \cdot 100}{A_w \cdot 10^6}$$

Ecuación 15

Los cálculos para el diseño óptimo de la bobina del convertidor se han realizado mediante una hoja de cálculo en Matlab, en el Anexo II.1.2. Este programa selecciona el núcleo óptimo calculando las características de forma iterativa. Esta

elección se basa en buscar una solución de compromiso para que el núcleo presente pérdidas lo más pequeñas posibles, y que su tamaño no sea excesivamente grande.

A continuación se muestra el diagrama de flujo del programa:

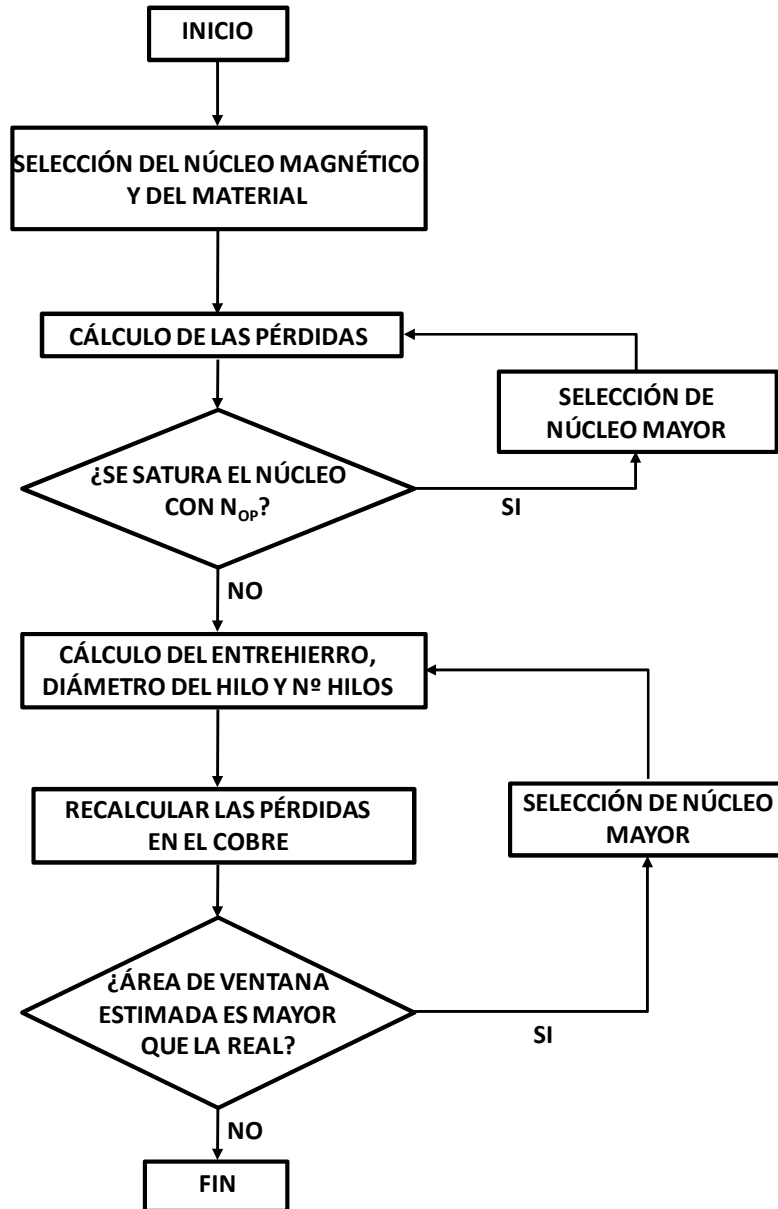


Figura 3.8. Diagrama de flujo del diseño de la bobina en Matlab.

Las características necesarias para la construcción de la bobina diseñada son:

- Inductancia: $L = 24 \mu\text{H}$
- Entrehierro: $g = 0.5 \text{ mm}$
- Diámetro del hilo: $d_{\text{hilo}} = 0.3 \text{ mm}$
- Número de hilos en paralelo: $N_{\text{hilos}} = 26$
- Longitud del cable: $L_{\text{cable}} = 0.73 \text{ m}$
- Número de vueltas: $N = 13$

3.1.1.3. Cálculo del condensador

El cálculo del condensador se realiza a partir del análisis estático del convertidor reductor. Para realizar este cálculo no se ha tenido en cuenta la resistencia equivalente (ESR). La expresión de la corriente en el condensador respecto al tiempo es la siguiente:

$$i_c = C \cdot \frac{dV_c}{dt} \rightarrow \Delta V_c = \frac{1}{C} \cdot \int i_c \cdot dt = \frac{1}{C} \cdot \frac{1}{2} \cdot \frac{T}{2} \cdot \frac{\Delta i_L}{2} = \frac{\Delta i_L}{8 \cdot C \cdot f}$$

$$C = \frac{\Delta i_L}{8 \cdot f \cdot \Delta V_c}$$

Ecuación 16

Sustituyendo los valores, se obtiene el siguiente valor de condensador:

$$C = 3.125 \times 10^{-5} \text{ F}$$

3.1.1.4. Selección de dispositivos

Para la selección de los MOSFET a utilizar en el diseño del circuito, se requieren unos cálculos previos en función de los datos de entrada, de manera que el dispositivo seleccionado muestre un correcto funcionamiento. En este apartado, se denomina “interruptor” al transistor S1 y “diodo” al transistor S2 de la Figura 3.1. Los datos de entrada del circuito son los siguientes:

- $V_{in} = 50 \text{ V}$
- $V_{out} = 20 \text{ V}$

Para que soporte la tensión de entrada sin problemas, se fija una tensión V_{DSS} con un valor de tensión doble del de entrada. Por lo tanto: $V_{DSS} = 100 \text{ V}$

Los valores de las corrientes máxima, eficaz y media, en los MOSFET del circuito son los siguientes:

INTERRUPTOR	DIODO
• $I_{pmax} = 7.65 \text{ A}$	• $I_{pmax} = 7.65 \text{ A}$
• $I_{effmax} = 3.45 \text{ A}$	• $I_{effmax} = 4.17 \text{ A}$
• $I_{media} = 2.20 \text{ A}$	• $I_{media} = 3.18 \text{ A}$

Se puede observar que la corriente de pico máxima en ambos casos es de 7.65A por lo que se elegirán MOSFET que soporten una corriente I_D mayor que éste, por ejemplo:

$$I_D = 10 \text{ A}$$

A partir de las hojas de características de los fabricantes, se seleccionará el dispositivo óptimo para los fines de este proyecto mediante el estudio de las pérdidas totales de cada uno de los componentes. Los fabricantes que se han estudiado para la selección de los MOSFET son: International Rectifier, Vishay y ST Microelectronics.

Las pérdidas totales son la suma de las pérdidas en conmutación y las pérdidas en conducción. Se obtienen con las siguientes expresiones:

Pérdidas en conducción:
$$P_{cond} = R_{DS} \cdot i_{eff}^2$$

Ecuación 17

Pérdidas en conmutación:
$$P_{SW} = (W_{on} + W_{off}) \cdot f_{SW}$$

Ecuación 18

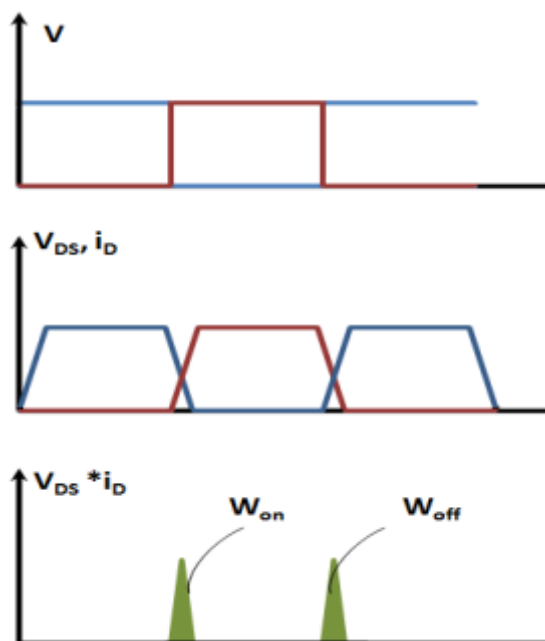


Figura 3.9. Pérdidas en conmutación de un MOSFET.

Otra expresión para las pérdidas en conmutación es:

$$P_{SW} = P_{vi} + P_G$$

Ecuación 19

donde:

$$P_{vi} = \frac{1}{2} \cdot C_{oss} \cdot V_{DS}^2 \cdot f_{sw}$$

Ecuación 20

$$P_G = V_{Dr} \cdot Q_g \cdot f_w$$

Ecuación 21

Las siguientes tablas muestran las pérdidas de conducción, las de conmutación y las totales, para una fácil comparativa de los MOSFET.

- MOSFET S1 (Interruptor)

MODELO	PÉRDIDAS					DATOS				
	Pcond	Pg	Pvi	Psw	Ptotal	Rds(ohm)	Qg(nC)	Coos(pF)	PD(W)	ID(A)
IRL520NS	2,142	0,007	0,012	0,019	2,161	0,18	13,3	97	3,8	10
IRL520N	2,142	0,007	0,012	0,019	2,161	0,18	13,3	97	48	10
IRL520NL	2,142	0,007	0,012	0,019	2,161	0,18	13,3	97	48	10
IRFI530N	1,309	0,015	0,020	0,035	1,344	0,11	29,3	160	33	11
IRLI530N	1,190	0,011	0,020	0,031	1,222	0,1	22,7	160	33	11
STD10NF10	1,547	0,006	0,009	0,015	1,562	0,13	12	70	35	10
STP14NF10	1,547	0,008	0,009	0,017	1,564	0,13	15,5	70	60	15
SiHF530S	1,904	0,013	0,031	0,044	1,949	0,16	26	250	88	14
SiHF530	1,904	0,013	0,031	0,044	1,949	0,16	26	250	88	14

Tabla 3.1. Pérdidas de los MOSFET (switch).

- MOSFET S2 (Diodo)

MODELO	PÉRDIDAS					DATOS				
	Pcond	Pg	Pvi	Psw	Ptotal	Rds(ohm)	Qg(nC)	Coos(pF)	PD(W)	ID(A)
IRL520NS	3,130	0,007	0,012	0,019	3,149	0,18	13,3	97	3,8	10
IRL520N	3,130	0,007	0,012	0,019	3,149	0,18	13,3	97	48	10
IRL520NL	3,130	0,007	0,012	0,019	3,149	0,18	13,3	97	48	10
IRFI530N	1,913	0,015	0,020	0,035	1,947	0,11	29,3	160	33	11
IRLI530N	1,739	0,011	0,020	0,031	1,770	0,1	22,7	160	33	11
STD10NF10	2,261	0,006	0,009	0,015	2,275	0,13	12	70	35	10
STP14NF10	2,261	0,008	0,009	0,017	2,277	0,13	15,5	70	60	15
SiHF530S	2,782	0,013	0,031	0,044	2,826	0,16	26	250	88	14
SiHF530	2,782	0,013	0,031	0,044	2,826	0,16	26	250	88	14

Tabla 3.2. Pérdidas de los MOSFET (diodo).

En ambos casos, el dispositivo que menos pérdidas totales tiene es el IRLI530N.

3.1.2. Placa de circuito impreso

3.1.2.1. Diseño físico de la etapa de potencia

La etapa de diseño que sigue a los estudios realizados en el capítulo anterior, es el diseño físico y construcción de un prototipo.

El diseño de la placa de circuito impreso del convertidor reductor se ha realizado con el software de diseño electrónico OrCAD. El circuito esquemático se diseña con la herramienta Capture CIS, y luego se adapta a la herramienta Layout Plus para la impresión del fotolito.

La base del diseño es el circuito de la Figura 3.1, aunque en la práctica hay que realizar algunos cambios. La carga de la figura no se incluye en el diseño, puesto que se utilizará una carga externa. Se han situado unos condensares en paralelo (uno plástico y otro electrolítico) a la entrada del circuito, así como en el filtro LC de la salida.

A partir de los cálculos del capítulo 2 se obtienen los siguientes valores de los componentes:

- $R \text{ (carga)} = 4 \, \Omega$
- $L = 24 \, \mu\text{H}$
- $C = 31.25 \, \mu\text{F}$
- $f_{\text{LC}} = 5.8 \, \text{KHz}$
- MOSFET: IRLI530N

La Figura 3.10 muestra el circuito esquemático realizado.

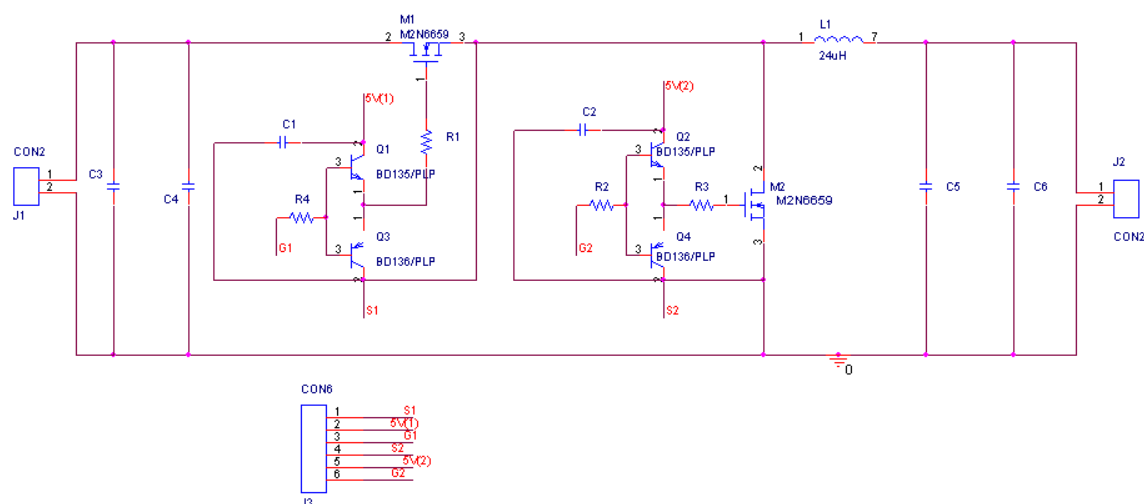


Figura 3.10. Esquemático del convertidor reductor.

Se puede observar que en el circuito del convertidor hay unos transistores BJT (Q1, Q2, Q3 y Q4). Éstos forman parte de los drivers, de los cuales se hablará detalladamente en el siguiente capítulo.

El fotolito de la placa de circuito impreso y la lista de los componentes empleados (Bill of materials) se pueden ver en Planos.

Para realizar un buen diseño del circuito impreso es necesario tener en cuenta una serie de condiciones. Éstas se explicarán en el siguiente apartado.

3.1.2.2. Problemática en el diseño de la placa de circuito impreso⁴

El diseño físico de placas de circuito impreso (PCB) es la fase final del diseño de una fuente conmutada de continua (o convertidor conmutado de continua). Si el diseño se realiza de forma incorrecta, la PCB puede irradiar excesivo ruido electromagnético (EMI), que puede contribuir a la inestabilidad del circuito. El papel del diseñador es un conocimiento exhaustivo del funcionamiento del circuito para un buen diseño de la placa.

- **Pistas de la PCB**

Los convertidores conmutados de continua contienen señales de alta frecuencia, debido a las conmutaciones de sus interruptores. Cualquier pista de la PCB puede actuar como una antena receptora e introducir ruido en el funcionamiento del circuito. La longitud y la anchura de la pista están directamente relacionadas con su inductancia y resistencia, y por lo tanto de su sensibilidad al ruido. La longitud de una pista es directamente proporcional a la resistencia e impedancia de la misma. La anchura es inversamente proporcional a la resistencia.

Las pistas de la etapa de potencia han de ser anchas y cortas. Anchas, para que su resistencia sea pequeña y puedan disipar la potencia adecuada para que no se calienten en exceso. Cortas, para que la inductancia no sea excesiva y tenga un comportamiento extra que tome relevancia en el funcionamiento del circuito.

Las pistas de la etapa de control, pueden ser estrechas y alargadas, ya que la potencia manejada en esta etapa es pequeña en comparación con la que se maneja en la anterior etapa.

Esta premisa en el diseño de las pistas, precisa de un previo estudio en la colocación de los componentes, para que las uniones entre ellos cumplan las normas anteriores.

⁴ Extraído de un documento obtenido de la Universidad de Oviedo.

- **Etapa de potencia**
 - **Flujos de circulación de corriente**

Un convertidor conmutado de continua sin aislamiento galvánico tiene cuatro flujos principales en la circulación de corriente, tal como se muestra en la Figura 3.11. Los flujos se han de mantener lo más separados posibles.

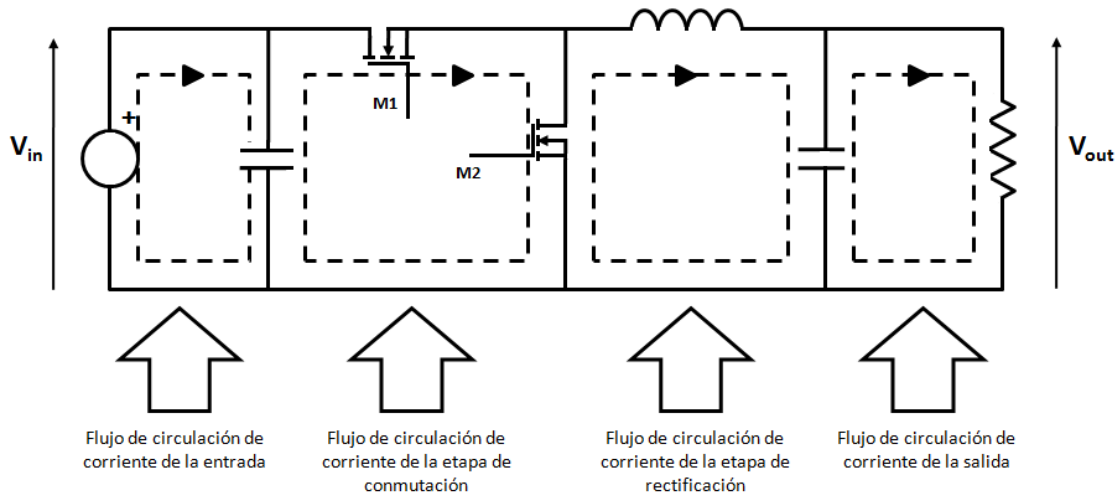


Figura 3.11. Flujos de circulación de corriente en el convertidor reductor (buck) con rectificación síncrona.

A continuación se ordena los flujos de circulación de corriente con relación a su importancia en el diseño de la PCB.

- 1) Flujo de circulación de corriente de la etapa de conmutación.
- 2) Flujo de circulación de corriente de la etapa de rectificación.
- 3) Flujo de circulación de corriente de la entrada.
- 4) Flujo de circulación de corriente de la salida.

La entrada y la salida de un convertidor conmutado de continua normalmente no presentan problemas, ya que la corriente que circula por estos flujos tiene una alta componente de continua y una baja de alterna, lo cual minimiza el EMI. Además estas etapas suelen presentar condensadores, de desacoplo en el caso de la entrada y filtro en la de salida, que reducen aún más la componente de alterna. El condensador de desacoplo estabiliza la tensión de entrada del convertidor cargándose, para posteriormente suministrar la corriente a alta frecuencia a la etapa de conmutación. El filtro de salida estabiliza la tensión de la etapa de rectificación, por lo que almacena energía a alta frecuencia. Si las conexiones de estos condensadores de entrada y salida, no se realizan directamente con las etapas de conmutación y rectificación, la energía a alta frecuencia almacenada en ellos puede emitirse al ambiente en forma de EMI.

Los flujos de corriente de las etapas de conmutación y rectificación, contienen unas formas de onda rectangulares que introducen corriente alterna a altas frecuencias,

debido a la gran cantidad de armónicos que contienen. Además las amplitudes de estas formas de onda pueden ser cinco veces mayores a las de la corriente continua de entrada. Estas dos etapas son las que tienen mayor riesgo de introducir EMI.

Se trazan las pistas de estas dos etapas antes de cualquier otra. Primero es conveniente situar los elementos más voluminosos como son: la inductancia, el filtro de salida y los rectificadores o interruptores, lo más juntos posible y alineados para que las pistas entre estos componentes sean lo menores y lo menos sinuosas posible.

Los interruptores escogidos han de ser adecuados para aplicaciones de potencia. Por ejemplo MOSFET rápidos con bajas capacidades parásitas (en rectificación síncrona la elección de los MOSFET es fundamental). Los empaquetados en la elección de componentes en este punto también son esenciales.

Existe un punto en común entre la etapa de rectificación y conmutación que representa uno de los mayores problemas en la emisión EMI. En convertidores conmutados de continua sin aislamiento galvánico, como el convertidor reductor (buck) con rectificación síncrona, está situado entre la bobina y el drenador del MOSFET de rectificación síncrona.

Este nodo introduce diferentes problemas. Su alta tensión de alterna puede producir un acoplamiento capacitivo con cualquier pista adyacente, introduciendo EMI, por lo tanto la pista que une el drenador con la bobina ha de ser pequeña. Por otro lado esta pista ha de disipar mucho calor debido a las corrientes que maneja por lo que ha de ser larga y ancha. En conclusión, se ha de buscar una solución de compromiso. Por otra parte se han de mantener cualquier otra pista susceptible de ruido, como el control, alejada de esta pista.

- **Paralelizado de condensadores en el filtro de salida**

Normalmente se sitúan condensadores en paralelo para mejorar su capacidad de filtrado y su comportamiento dinámico. Se disponen en paralelo un condensador electrolítico de película de aluminio y un condensador MLT (plástico). Los condensadores en paralelo almacenan rizado de corriente. Para que el rizado de corriente almacenado sea el mismo, la inductancia entre los condensadores ha de ser la misma. Esto se traduce en el diseño de la PCB, en que las pistas entre los condensadores han de ser idénticas, o lo más parecidas posible.

La manera más fiable de cumplir esta condición es situar los condensadores paralelos de forma secuencial con su elemento anterior y posterior. Un mal diseño en este aspecto puede introducir rizado en la tensión a filtrar, en la salida, o de la tensión a estabilizar, en la entrada.

- **Etapa de control**

Esta etapa como se ha dicho, maneja corrientes pequeñas, por lo tanto, no tiene importancia el ruido electromagnético generado. Por el contrario, debido a la baja potencia manejada, es muy susceptible al EMI. Esta etapa se ha de alejar lo máximo posible del mayor foco de emisión de EMI, que es la etapa de potencia.

Particularmente el PWM o generador de pulsos se ha de alejar lo máximo posible de las etapas de conmutación y rectificación, incluso se ha de apantallas con un plano de masa si fuera menester. En este caso, el control se realiza mediante una FPGA, por lo que la etapa de control está alejada de la etapa de potencia y no hay que tomar medidas adicionales en el diseño.

El engarce entre la etapa de control y potencia, que se realiza en los interruptores, se ha de realizar con pistas únicas, finas y estrechas para evitar recirculaciones de corriente.

- **Situación de las tierras**

La tierra en el circuito representa la rama posterior del circuito que permite el retorno, y por lo tanto, la circulación de los flujos de corriente. Además es el punto en común de todo el circuito. Debido a su gran importancia ha de cuidarse el diseño de esta pista.

Se ha de dividir en la parte inicial del diseño la tierra de la etapa de control y la tierra de la etapa de potencia. Cada una tendrá sus características de diseño:

- Tierra en el circuito de control: En esta etapa del circuito se ha de procurar realizar una única pista de tierra para no producir recirculaciones de corriente y por lo tanto ruidos. Una vez construida la pista si es posible, se ha de alargar la misma procurando aislar los elementos rodeándolos de tierra, sobre todo el PWM, tal como muestra la Figura 3.12. En este caso, no se han tenido en cuenta estas pautas de diseño, puesto que para la etapa de control se utiliza una FPGA con un PWM digital.

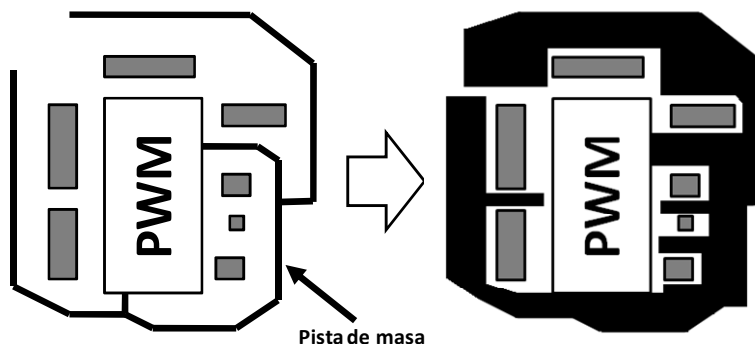


Figura 3.12. Pista de tierra en la etapa de control.

- Etapa de potencia: En la etapa de potencia también se ha de procurar realizar una única pista de tierra para no producir recirculaciones de corriente y por lo tanto ruidos. En este caso se ha de igualar la pista de tierra a la de señal de potencia, para que no se caliente una más que la otra. En esta etapa a veces para evitar la producción de excesivo EMI por parte de los interruptores al conmutar, se aíslan los radiadores del drenador de los MOSFET (con un tornillo de plástico y una malla aislante eléctricamente pero no térmicamente) para conectar el disipador de calor a tierra.

El engarce entre la tierra de control y la de potencia se ha de realizar en un único punto para evitar las recirculaciones de corriente. Este punto es crítico y la experiencia demuestra que una solución adecuada, es la unión de la tierra del driver de control con la fuente del MOSFET que permite la rectificación síncrona, tal como se muestra en la Figura 3.13.

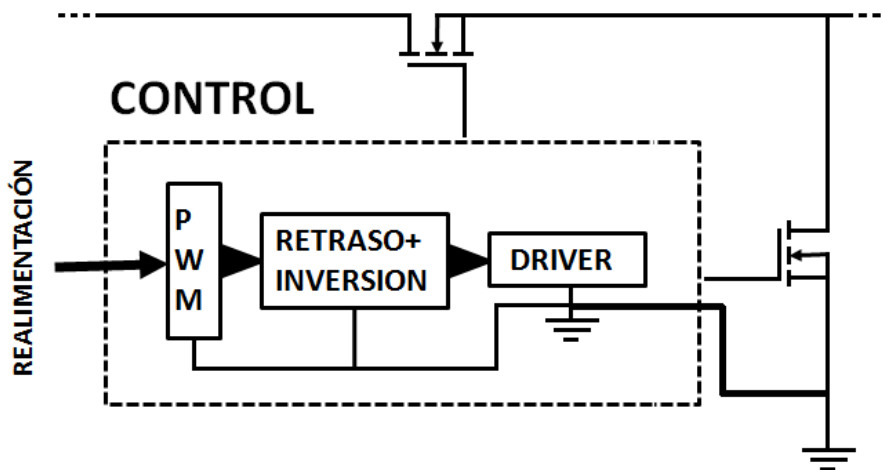


Figura 3.13. Engarce entre la tierra de la etapa de control y potencia.

- **Secuencia de pasos en el diseño de una PCB**

Basándose en todo lo anterior, una buena técnica para el diseño de la placa de circuito impreso es seguir estos pasos:

- 1) Emplazar la bobina y los interruptores de la etapa de potencia.
- 2) Trazar las pistas de la etapa de conmutación.
- 3) Emplazar los condensadores de la salida de la etapa de potencia.
- 4) Trazar las pistas de la etapa de rectificación.
- 5) Emplazar los componentes de la etapa de control.
- 6) Trazar las pistas de la etapa de control.
- 7) Engarzar la etapa de control con la de potencia.
- 8) Emplazar los condensadores de la entrada de la etapa de potencia.
- 9) Trazar las pistas de la entrada y de la salida.

3.1.2.3. Descripción de la PCB

Siguiendo las pautas definidas en el apartado anterior, se procede al diseño de la placa del convertidor.

La PCB del convertidor tiene unas dimensiones de 60 x 115 mm (alto x ancho).

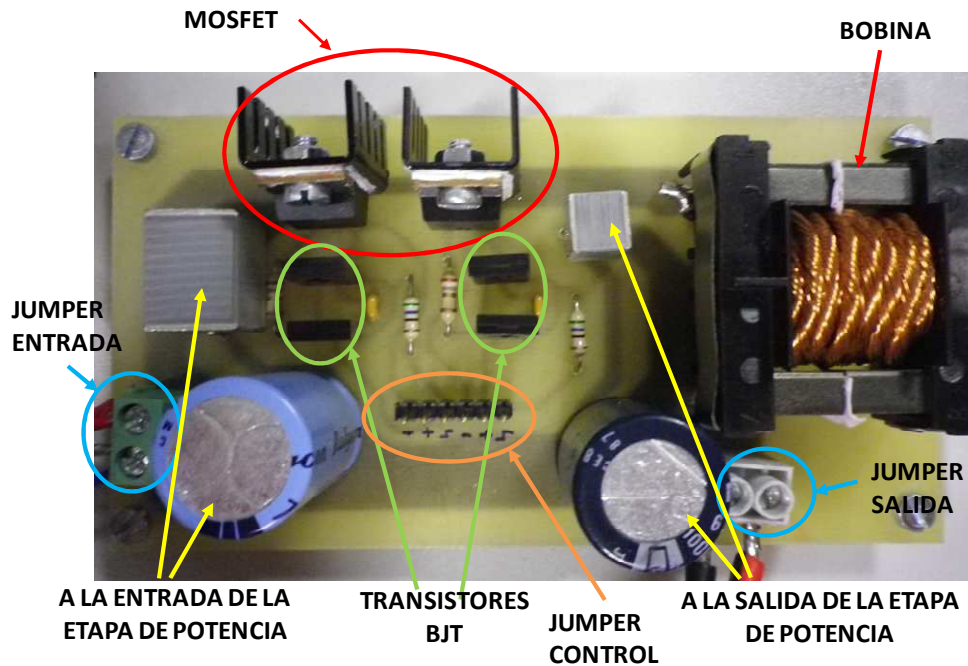


Figura 3.14. Descripción de la placa del convertidor.

La bobina, el elemento más grande del circuito, se sitúa en el extremo derecho de la placa. A continuación los MOSFET se sitúan de manera que queden en un borde del circuito, para poder instalarle unos disipadores de calor. En este caso, se han ubicado en la parte superior de la placa. El MOSFET de la izquierda es el correspondiente a S1 (el interruptor de arriba) y el de la derecha es S2 (el interruptor de abajo). Cerca de éstos se han situado los transistores BJT correspondientes a cada uno de los MOSFET, procurando que queden colocados en la misma posición para distinguir fácilmente entre el PNP y NPN. Las resistencias y condensadores que junto con los transistores forman parte de los drivers, deben situarse lo más cerca posible entre sí.

Los condensadores de la salida de la etapa de potencia deben estar próximos a la bobina y al MOSFET de abajo. De la misma manera, los condensadores de la entrada de la etapa de potencia deben estar cerca del MOSFET de arriba. Por último, hay que procurar que los jumpers estén al borde de la placa, para facilitar las conexiones con la alimentación, la carga exterior y los circuitos de mando de los interruptores.

En Planos, se puede ver la ubicación de cada uno de los componentes en la placa con sus footprints.

3.2. Los drivers

Para controlar los interruptores se necesita un driver, que será el encargado de amplificar las señales de control a la puerta de cada uno de los transistores.

Existen drivers comerciales en el mercado compuestos por un único encapsulado, sin embargo en este proyecto se han diseñado unos más complejos formados por varios elementos. La razón de esta elección radica en el aislamiento galvánico que se requiere entre las etapas de potencia y control para este proyecto, puesto que estos drivers deben servir para otros sistemas de convertidores que podrán estar conectados de diversas formas.

3.2.1. Diseño de los drivers

Se ha construido un driver para cada MOSFET puesto que cada uno tiene una señal de control diferente.

En la Figura 3.15 se muestra el diagrama de bloques de los drivers. Cada driver está formado por los siguientes componentes: un convertidor CC/CC aislado no regulado (*DHC010512SN7*), un regulador lineal (*LT1763*), otro regulador lineal (*ADP3300*), un aislador digital (*ISO721*) y un driver (*EL7156*). Los transistores bipolares de la figura se han montado en la placa del convertidor reductor (ver Planos).

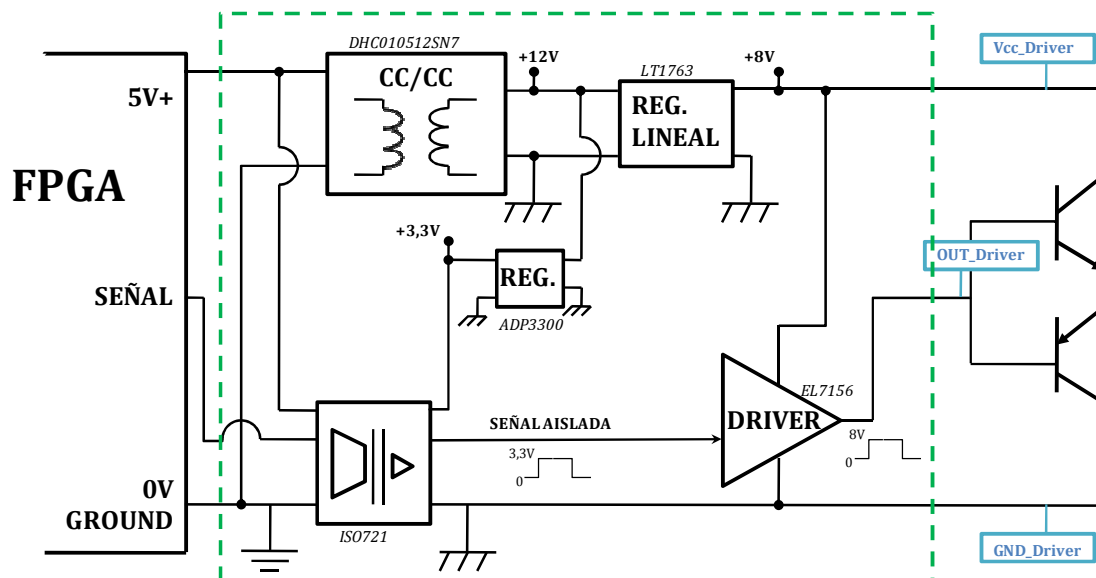


Figura 3.15. Diagrama de bloques de los drivers.

El aislamiento galvánico lo proporcionan el componente ISO721 y el convertidor CC/CC aislado DHC010512SN7. Por ello, la tierra de la FPGA y la del

resto de componentes no son la misma. Los reguladores lineales son para la alimentación, también aislada, de los demás componentes a las tensiones que necesita cada uno de ellos, y el componente EL7156 es el driver en sí.

Los MOSFET del convertidor necesitan una rápida conmutación y para ello requieren una corriente en la puerta bastante grande. El driver EL1756 no proporciona toda la corriente que necesitan los interruptores, y por esta razón se han colocado los transistores BJT (parte derecha de la Figura 3.15). Gracias a ellos aumenta la corriente del driver y permite una rápida conmutación a los MOSFET.

3.2.1.1. DHC010512SN7

Este convertidor CC/CC aislado permite obtener una salida de 12V de tensión de salida, a partir de una entrada de 5V. La serie DHC01 no requiere muchos componentes externos lo que reduce el espacio en la placa.

Se han colocado dos filtros EMI a la entrada y salida del convertidor (choke drivers).[7].

DCH01 Products

MODEL	INPUT VOLTAGE (V)	OUTPUT VOLTAGE (V)	OUTPUT CURRENT (mA)	OUTPUT POWER (W)	ISOLATION VOLTAGE (kVDC)	PACKAGE-LEAD
DCH010505S	5 ± 10%	5	200	1	3	SIP-7
DCH010512S	5 ± 10%	12	83	1	3	SIP-7
DCH010515S	5 ± 10%	15	67	1	3	SIP-7
DCH010505D	5 ± 10%	±5	±100	1	3	SIP-7
DCH010512D	5 ± 10%	±12	±42	1	3	SIP-7
DCH010515D	5 ± 10%	±15	±33	1	3	SIP-7

Figura 3.16. Información del convertidor serie DHC01.

3.2.1.2. LT1763

La tensión de entrada de este regulador son los 12V de la salida del convertidor del apartado anterior. Este dispositivo tiene un rango de tensión de salida de entre 1.22V y 20V. [8]. La tensión de salida está definida por el ratio de dos resistencias externas, como se muestra en la siguiente figura:

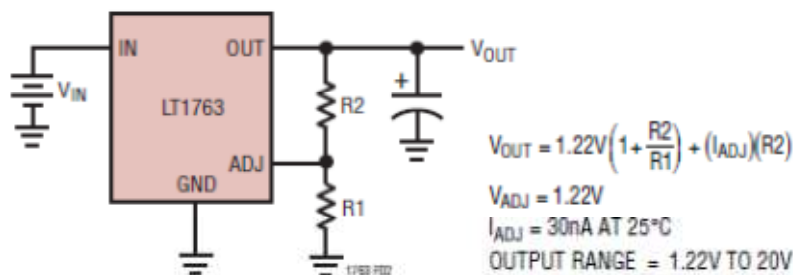


Figura 3.17. Operación de ajuste del LT1763.

Para calcular las resistencias necesarias, se sustituye el valor de $V_{out}=8V$ en la fórmula que nos facilita el fabricante, llegando a la siguiente conclusión:

$$R_1 = \frac{1.22 \cdot R_2}{6.78 - 30 \cdot 10^{-9} \cdot R_2}$$

Ecuación 22

Se elije una resistencia R_2 de valor $380K\Omega$, por estar disponible en el laboratorio. Con este dato, sustituyendo en la Ecuación 22 se obtiene una R_1 de $68.5K\Omega$. En la práctica se ha escogido una resistencia de $68K\Omega$.

3.2.1.3. ADP3300

Este componente mantiene una tensión de salida de $3.3V$, a partir de una tensión de entrada de $12V$ procedentes de la salida del convertidor CC/CC del apartado 3.2.1.1. [9].

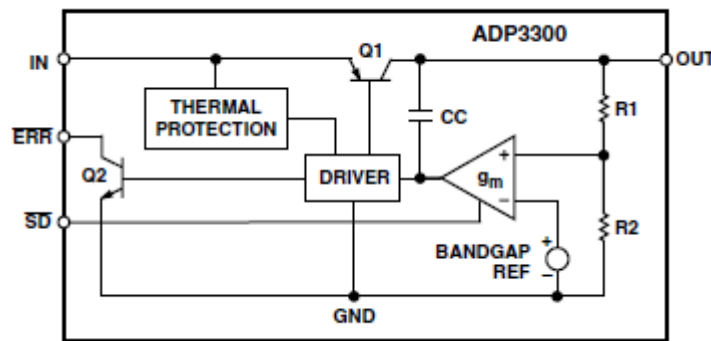


Figura 3.18. Diagrama de bloques funcional del ADP3300.

3.2.1.4. ISO721

El ISO721 es un aislador digital con una entrada y salida lógica separadas por una barrera aislante de dióxido de silicio (SiO_2). Esta barrera proporciona un aislamiento galvánico para tensiones de hasta $4000V$. Utilizado junto con una fuente de alimentación aislada, este dispositivo evita ruidos en el bus de datos o en otros circuitos.

En este caso, convierte la señal procedente de la FPGA, que varía entre 0 y $5V$ ('0' y '1' en digital), en otra señal aislada que varía entre 0 y $3.3V$. [10].

3.2.1.5. EL7156

Este driver saca una señal lógica que varía entre 0 y una tensión de referencia, que en este caso son los $8V$ obtenidos a la salida del regulador lineal LT1763. La señal de control que percibirán los interruptores del convertidor reductor es la que se obtiene a partir de este componente. Hay que señalar que este componente invierte los niveles de la señal de entrada, por lo tanto el nivel bajo de entrada ('0') pasa a nivel alto a la salida

(‘1’) y viceversa. Se tendrá en cuenta a la hora de diseñar las señales de control en el siguiente capítulo. [11].

3.2.2. Placa de circuito impreso

Las placas para los circuitos de los drivers también han sido diseñadas con el software de diseño electrónico OrCAD. A diferencia de la placa del convertidor reductor, los drivers serán constituidos por componentes de montaje superficial (SMD), excepto el convertidor CC/CC del apartado 3.2.1.1. Por lo tanto, las pistas deben ir por la cara superior de la placa, conduciendo por la cara inferior aquellas imposibles de trazar por la cara superior debido a la complejidad del diseño y uniéndolas entre sí mediante vías. Para el diseño se han seguido las mismas pautas que se dieron en el apartado 3.1.2.2.

Se ha colocado un LED a la salida del convertidor CC/CC, para verificar visualmente el paso de corriente por ese punto.

La placa de cada driver tiene unas dimensiones de 45 x 67 mm (alto x ancho).

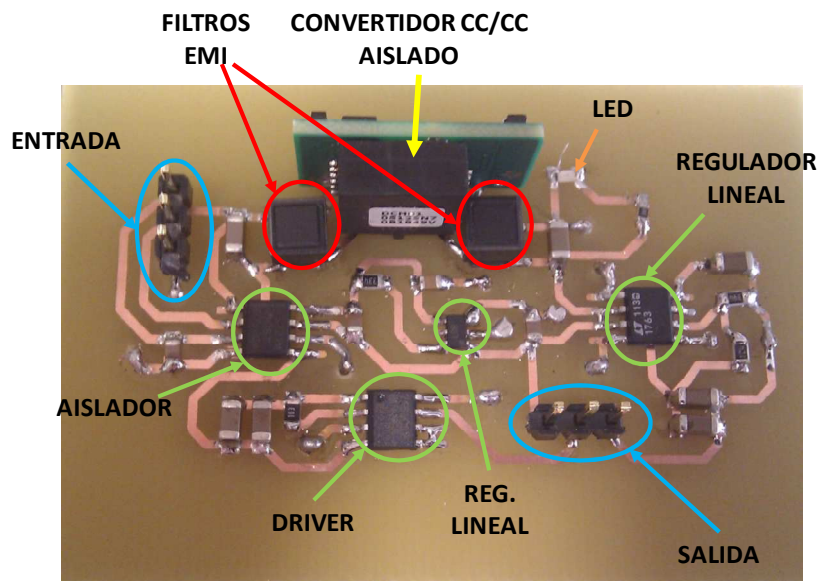


Figura 3.19. Descripción de la placa del driver.

Como puede verse en la Figura 3.19, el componente más grande es el convertidor CC/CC aislado, que se sitúa en el borde superior de la placa, acompañado de los dos filtros EMI a los lados. Los pines de entrada y salida se sitúan en los bordes de la placa para que puedan ser más accesibles. Los demás componentes se han situado de manera que las pistas sean lo más cortas posibles.

El circuito esquemático y los fotolitos de las caras superior e inferior de la placa se pueden observar en Planos.

En este capítulo se ha descrito el diseño realizado para la etapa de potencia, en el que se incluye el convertidor reductor síncrono y los drivers.

Para el convertidor se ha realizado un análisis estático, con cuyos resultados se ha podido seleccionar los dispositivos óptimos para su funcionamiento y se ha concluido el proceso de diseño con un dimensionamiento de los componentes.

Datos de entrada:

- $P_{\max} = 100 \text{ W}$
- $V_e = 50 \text{ V}$
- $V_0 = 20 \text{ V}$
- $f = 100 \text{ KHz}$
- Rizado de tensión = 1%

Datos obtenidos:

- $L = 24 \mu\text{H}$
- $R = 4 \Omega$
- $C = 31.25 \mu\text{F}$
- $\Delta v_C = 0.2$
- $D = 0.4$

- El MOSFET elegido para el convertidor es el IRLI530N.
- La PCB del convertidor tiene unas dimensiones de 60 x 115 mm (alto x ancho).

En el caso del driver, se ha explicado que la razón por la que se ha diseñado un circuito complejo es para proporcionar aislamiento galvánico entre la etapa de control y de potencia. Posteriormente se describe la PCB diseñada.

- La PCB del driver tiene unas medidas de 45 x 67 mm (alto x ancho).

Capítulo 4

Control digital del convertidor

4.1. Introducción

En este proyecto, el control digital se implementa mediante una tarjeta basada en una FPGA. La función principal del control digital es la de generar los pulsos de disparo de los interruptores del convertidor (señales PWM) y en lazo cerrado ajustar el ciclo de trabajo para mantener constante la tensión de salida.

Primero se han diseñado los circuitos digitales que generan las señales de control mediante el lenguaje VHDL⁵ (VHSIC -*Very High Speed Integrated Circuit*-Hardware Description Language), un lenguaje de descripción de hardware de alto nivel. Al disponer de una herramienta como es Modelsim, se ha podido realizar una simulación de los pulsos diseñados para comprobar su funcionamiento. Modelsim es un

⁵ Este tipo de lenguaje se parece a los lenguajes de programación de alto nivel, pero su semántica está orientada al modelado del hardware de sistemas digitales. Esto permite obtener un lenguaje formal que pueda ser entendido tanto por máquinas como por diseñadores. Su principal ventaja radica en que al tratarse de lenguajes de descripción, la programación está relacionada con el funcionamiento del dispositivo, lo que hace que resulte independiente de la tecnología.

entorno de modelización y simulación de sistemas digitales descritos mediante lenguajes de descripción de hardware.

Para configurar la FPGA, se ha utilizado el programa Xilinx ISE. Éste es una herramienta software para la síntesis y análisis de diseños en lenguaje de descripción que permite realizar un diseño completo de circuitos basados en lógica programable, como la FPGA, incluyendo todas las herramientas necesarias para las diferentes etapas de diseño.

Para el funcionamiento del convertidor con V_0 regulada, es decir en lazo cerrado, el control digital debe trabajar como regulador a parte de generar los pulsos de disparo de los MOSFET. Debe leer el valor de tensión de salida del convertidor V_0 , y variar el ciclo de trabajo de las señales PWM para mantener una V_0 determinada. Todo esto se realizará mediante la FPGA, y puesto que el valor de V_0 es analógico y la FPGA reconoce valores digitales, es necesario utilizar un conversor analógico digital (ADC).

4.2. Diseño del circuito que genera los pulsos de control

Estos pulsos controlan cuándo debe cerrarse un interruptor y abrirse el otro, de manera que nunca conduzcan a la vez para no producir cortocircuitos al conmutar, y asegurar el correcto funcionamiento del convertidor.

Las señales que se desean obtener son la señal “salida” y la señal “salida_rs”, que son señales complementarias (Figura 4.1).

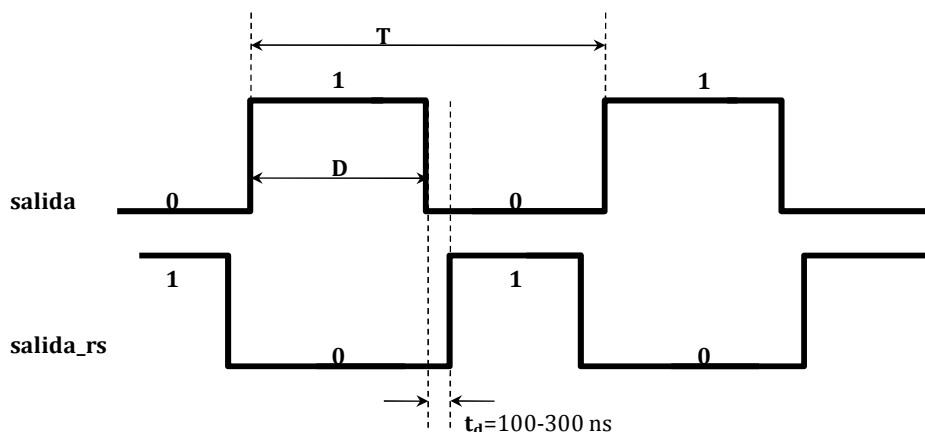


Figura 4.1. Señales de control de los MOSFET.

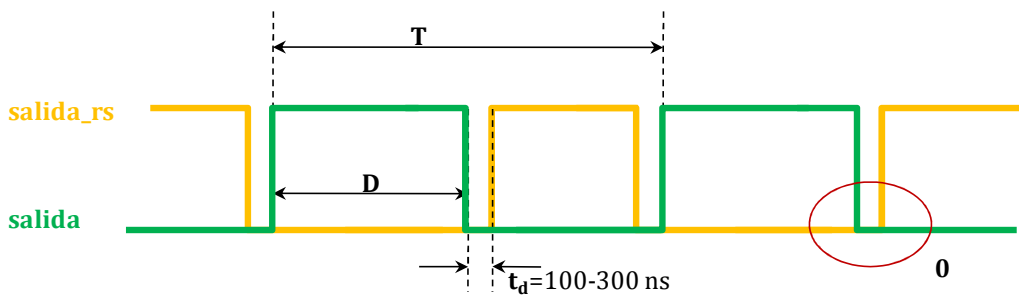
La señal “salida” es la que dispara al interruptor S1 (interruptor principal) y “salida_rs” dispara al interruptor S2 (interruptor síncrono). Se desea que haya un tiempo

muerto t_d entre los flancos de subida de ambas señales, para que nunca estén a nivel alto ('1') a la vez. El tiempo muerto suele variar entre los 100 y 300 ns. En este proyecto se han tomado otros valores mayores para probar su comportamiento, en el capítulo de resultados experimentales.

El funcionamiento del circuito digital se basa en contar el número de pulsos que produce la señal de reloj de la FPGA. Cuando el número de pulsos coincide con los tiempos de conmutación de los MOSFET su señal de puerta pasa a valer '0' o '1', dependiendo de si tiene que conducir o no.

Antes de diseñar el código del circuito, hay que tener en cuenta un dato: los drivers utilizados en este proyecto invierten la señal de entrada, es decir, el nivel alto '1' a la entrada se convierte en nivel bajo '0' a la salida. Por ello, es necesario diseñar las señales de control para que sean inversas a las que deberían ser. En este caso, las señales de control se solapan en nivel alto '1' para que a la salida de los drivers lo hagan a nivel bajo '0', y no conduzcan nunca los dos MOSFET a la vez (Figura 4.2)

Las señales que deben aparecer a la salida de los drivers:



Las señales a la salida de la FPGA deben ser las inversas:

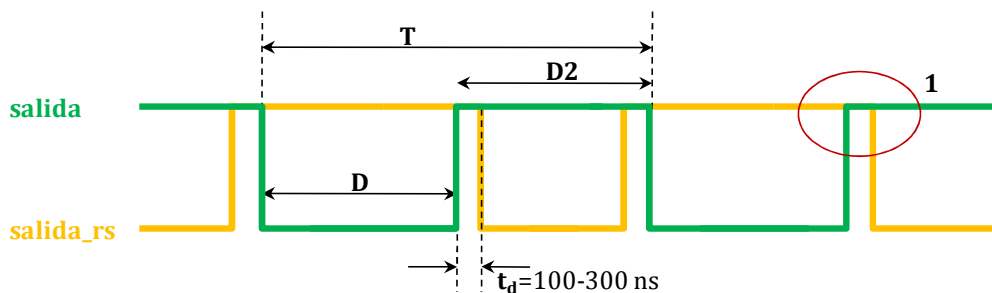


Figura 4.2. Las señales de control diseñadas.

El circuito que hay que diseñar debe generar las señales mostradas en la parte inferior de la Figura 4.2.

Estas señales de control son tales que la frecuencia de conmutación sea de aproximadamente 100 KHz (en realidad es 97,65625 KHz, cuyo periodo es 10,24 μ s).

En la Figura 4.3 se muestra el diagrama de flujo que ilustra el funcionamiento del circuito diseñado. Se considera como D, el valor de ciclo de trabajo deseado para controlar los MOSFET. La variable D2 es la complementaria de D.

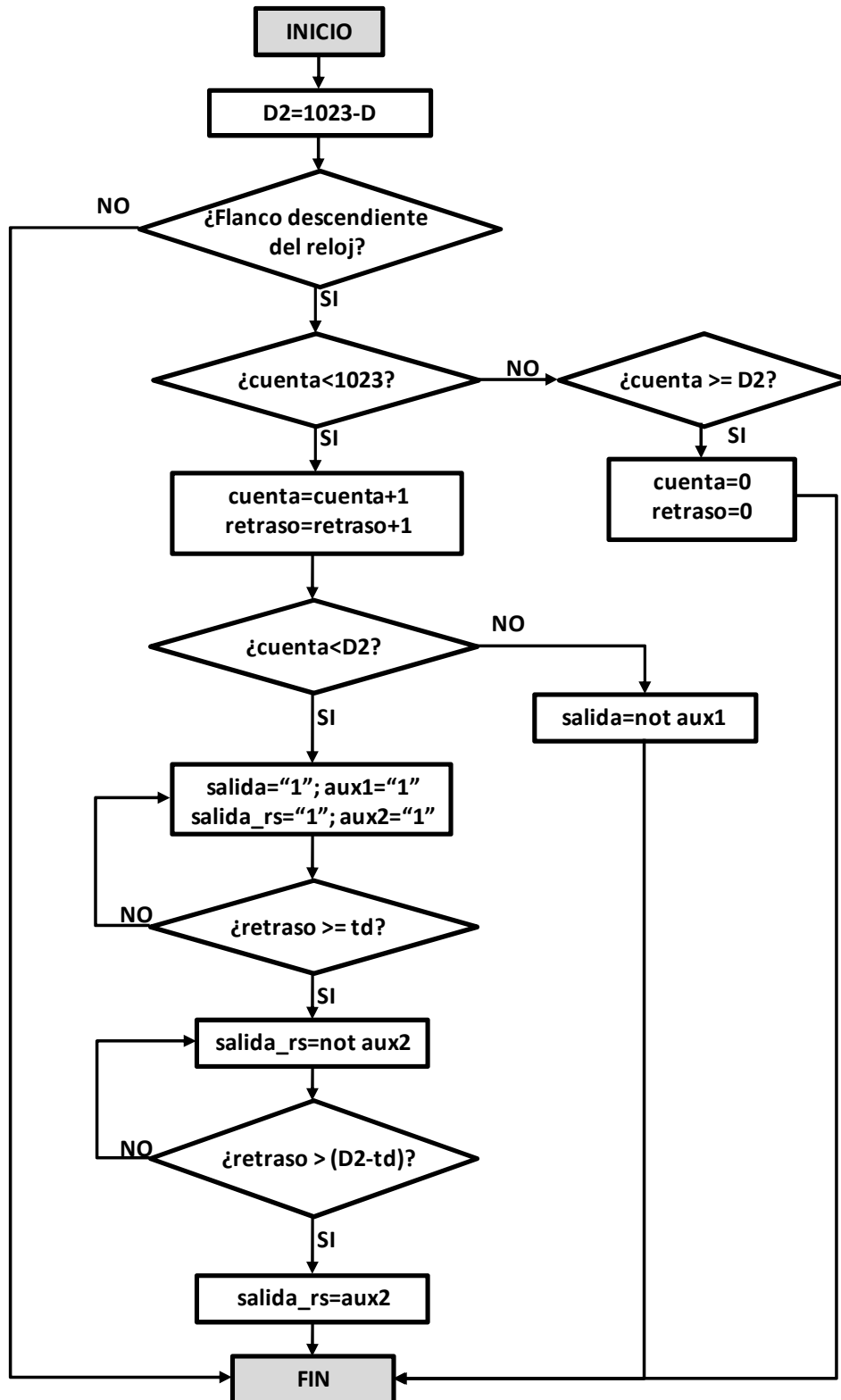


Figura 4.3. Diagrama de flujo del programa “Control_DPWM.vhd”.

El siguiente esquema ayudará a la comprensión del código diseñado para la generación de las señales PWM.

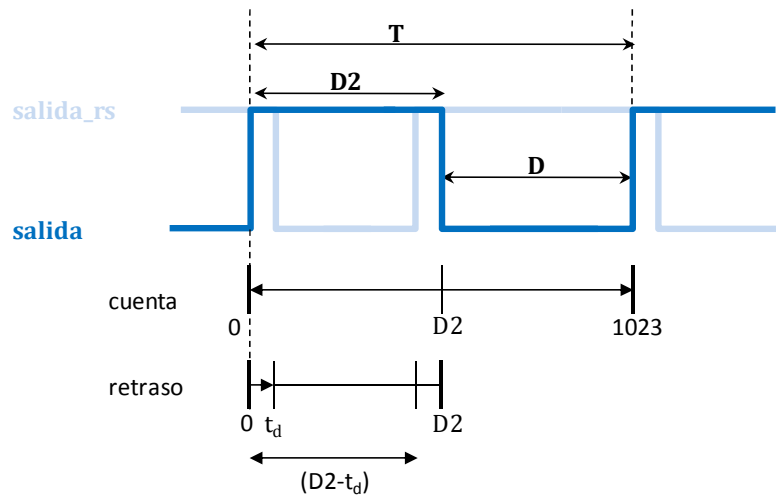


Figura 4.4. Esquema explicativo del uso de las variables cuenta y retraso en el código.

Una vez obtenidos los pulsos de disparo de los interruptores, el siguiente paso será comprobar que el código genera las señales como deben de ser. Para ello se ha utilizado el software Modelsim.

4.3. Simulación con Modelsim

Para trabajar con el entorno Modelsim y probar las señales diseñadas en el apartado anterior, es preciso crear una señal de reloj que simule el reloj de la FPGA.

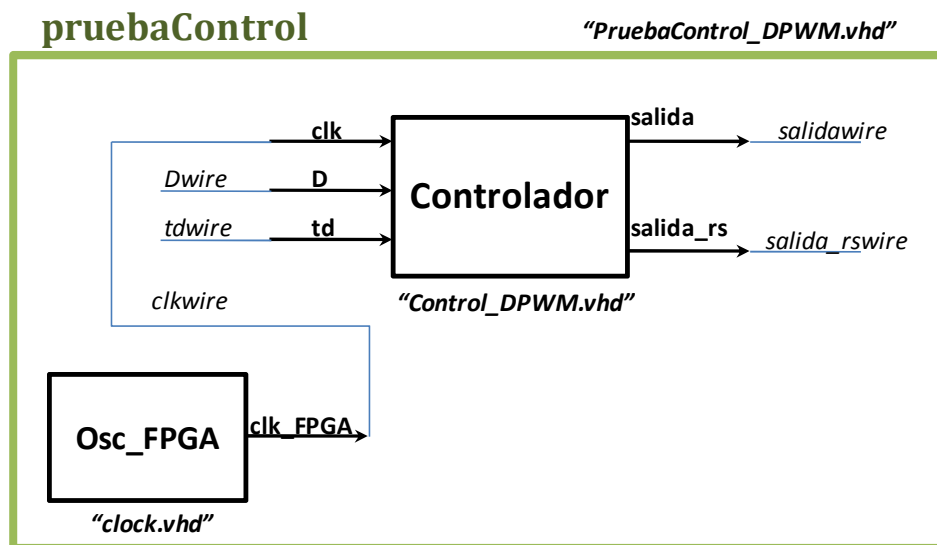


Figura 4.5. Esquema del control digital.

La Figura 4.5 muestra el esquema del control digital del convertidor. El controlador es el que genera las señales de disparo de los interruptores, “salida” y “salida_rs”, a partir de unos valores de ciclo de trabajo “D” y tiempo muerto “ t_d ” determinados por el usuario. El bloque “Osc_FPGA” es la señal de reloj, que es interna en la FPGA y en el caso de Modelsim hay que simularla.

4.3.1. La señal de reloj

La señal de reloj a diseñar varía entre ‘0’ y ‘1’, con una frecuencia de 100MHz, es decir con un periodo de 10 ns. En la Figura 4.6 se muestra el diagrama de flujo que describe el funcionamiento de este circuito, llamado “clock.vhd”, cuyo código se encuentra en el Anexo II.2.1.

Aunque este programa tiene inicialmente un periodo de 10 ns, se ha diseñado de forma genérica, por lo que se podría modificar su frecuencia cambiando el valor de la variable del periodo.

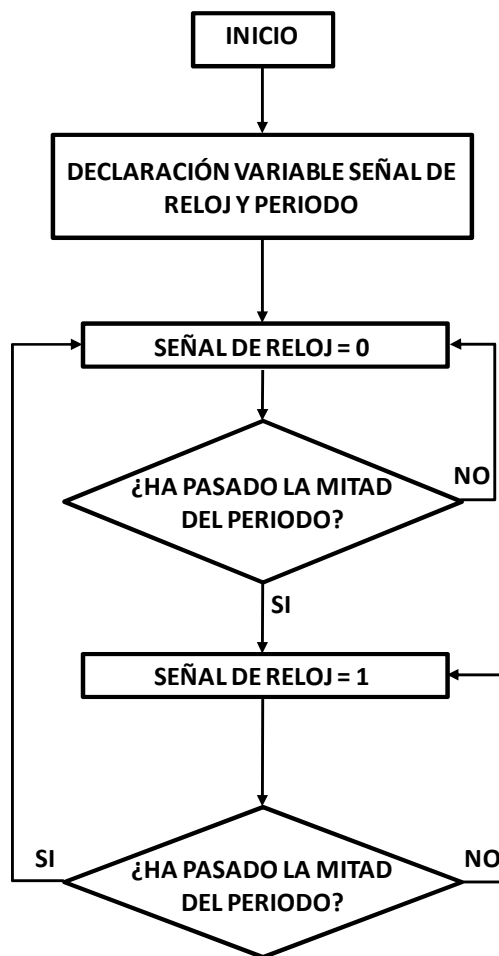


Figura 4.6. Diagrama de flujo del programa “clock.vhd”.

Como se ha mencionado anteriormente, este programa sólo sirve para simular la señal de reloj de la tarjeta FPGA, por lo que no se utilizará para el control del convertidor.

A continuación se muestra la señal de reloj obtenida mediante el programa:

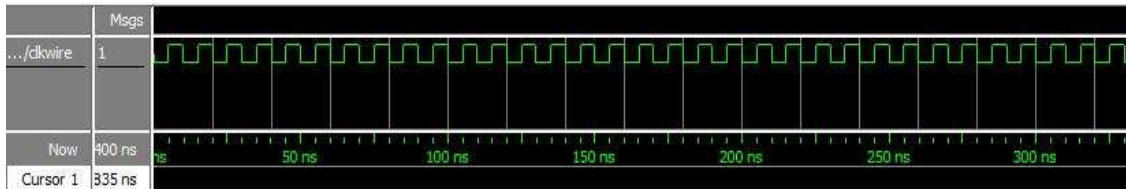


Figura 4.7. Señal de reloj de periodo 10 ns en Modelsim.

4.3.2. Señales de control de los MOSFET

A partir de la señal de reloj creada se puede controlar el tiempo contando los pulsos de la señal. Esto es lo que se utiliza para crear las señales de control de los interruptores, en el circuito “Control_DPWM.vhd”, cuyo código se encuentra en el Anexo II.2.2.

Ya se ha explicado el proceso de diseño de estos pulsos de control en el apartado 4.2, donde se especifican las características de las señales así como el diagrama de flujo que ilustra su funcionamiento.

En la Figura 4.8 se muestran las formas de onda de las señales simuladas en Modelsim. En la primera fila, aparece el valor asignado al ciclo de trabajo D, que en el momento de la captura de la imagen toma un valor de 100, es decir $D=0,1$. El tiempo muerto es de 10 periodos de reloj, es decir 100 ns. Los cursores miden el tiempo muerto, desde que la “salida_rs” (la última señal) se pone a ‘1’, hasta que la “salida” (la cuarta señal) se pone a ‘0’. Los valores de D y t_d se pueden asignar en el testbench, que se detalla en el apartado siguiente.

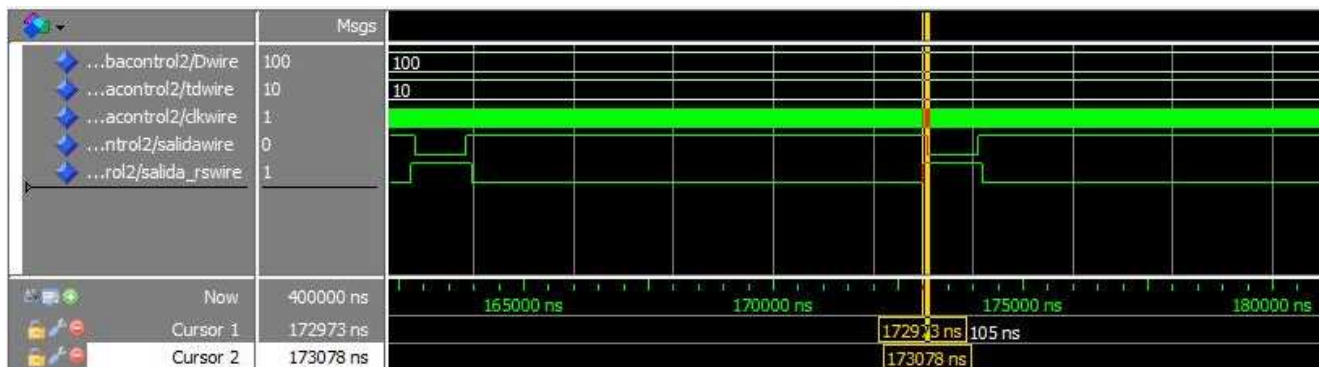


Figura 4.8. Señales de control de los interruptores en Modelsim.

4.3.3. Testbench

Para simular los programas diseñados es necesario crear un testbench, en este caso se llama “PruebaControl_DPWM.vhd”. Su código puede verse en el Anexo II.2.3.

Este módulo indica las relaciones de variables que hay entre los programas, y asigna un valor a las constantes para que se generen los pulsos adecuados de control.

En la Figura 4.5 cada bloque simboliza el componente creado en cada programa (Controlador, osc_FPGA y PruebaControl), cuyas entradas y salidas están representadas mediante flechas negras. Las líneas azules son las relaciones que existen entre las variables de un componente y otro. En Modelsim, estas líneas son las que se observan en la simulación, como se puede apreciar en la Figura 4.9. Se puede observar que el valor de ciclo de trabajo que se indica en la primera fila (500, 100, 900 y 400) corresponde con el tiempo en el que la señal está a nivel bajo (‘0’), puesto que los drivers que irán situados después invierten la señal que controla los interruptores. El tiempo muerto t_d varía entre 10,30 y 20.

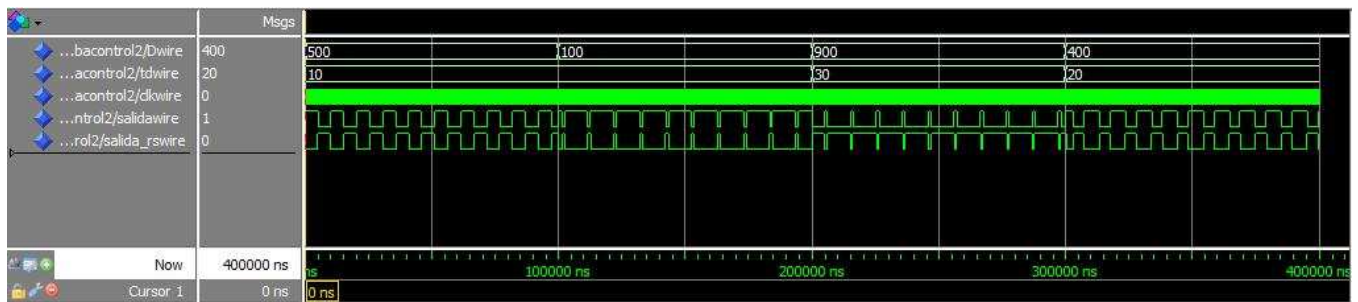


Figura 4.9. Señales de control con varias D y t_d .

4.4. Configuración de la FPGA

Una vez realizados y depurados los programas con Modelsim, y tras probar que los resultados obtenidos son buenos, se pueden pasar al entorno Xilinx ISE desde el cual se puede configurar la tarjeta FPGA.

El archivo “clock.vhd” no es necesario en este entorno, ya que su única función era la de simulación. La tarjeta FPGA dispone de un reloj interno por lo que no es necesaria la creación de uno nuevo. El único módulo VHDL que se introducirá en este entorno es el de “Control_DPWM.vhd”.

Sin embargo, antes de poder sintetizar los circuitos y configurar la FPGA es necesaria una serie de modificaciones.

A las variables D y t_d se les debe de establecer un valor inicial dentro del propio programa, por ello éstas pasarán a ser variables “signal” en vez de puertos de entrada. Con este método, será necesario reconfigurar la FPGA cada vez que se quiera cambiar el valor de las variables D o t_d . Esto se puede evitar gracias al programa Chipscope. Mediante esta aplicación, las variables en cuestión se ponen como variables externas, pudiendo modificar sus valores de manera *online*, es decir, sin necesidad de reconfigurar la FPGA con cada cambio.

En el Anexo II.3 se pueden ver los códigos sin y con el código para Chipscope. El archivo “pines.ucf” indica los pines de la FPGA por los que saldrán las señales de salida del programa, en este caso hay dos salidas que son las señales de control de los interruptores.[6].

4.4.1. Entidad principal con Chipscope

La entidad principal es “Controlador_chip.vhd”, que es igual que “Controlador_DPWM.vhd” explicado en el apartado 4.2.2. En la Figura 4.10 se muestra el nuevo esquema del circuito, al cual se le han añadido algunos bloques.

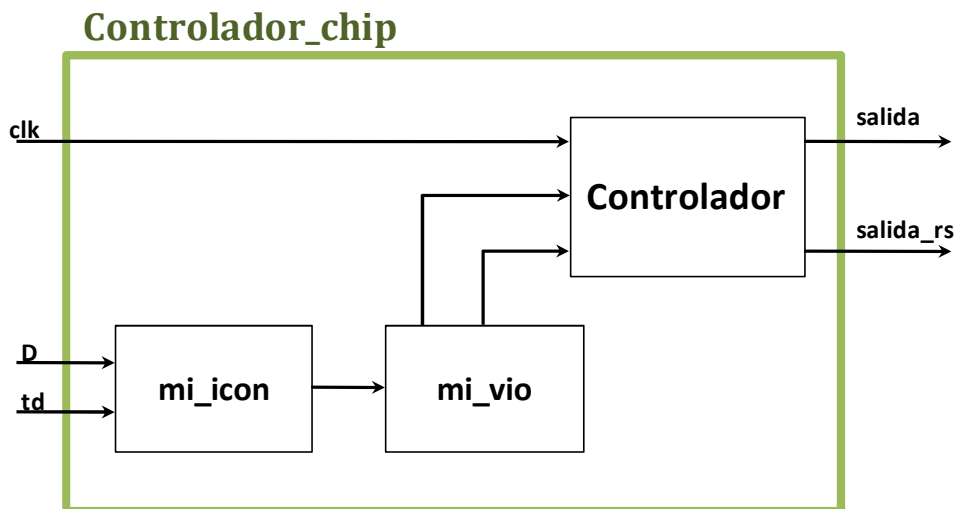


Figura 4.10. Esquema de la entidad “Controlador_chip.vhd”.

Los nuevos bloques añadidos son: “mi icon” y “mi_vio”. Estos bloques sirven para establecer una comunicación entre la FPGA y el software Chipscope, para poder cambiar el valor de las señales internas de la FPGA de manera *online*.

El software Chipscope es una herramienta de análisis lógico, que forma parte del entorno ISE de Xilinx. Esta herramienta permite visualizar en el ordenador el valor de las señales internas de la FPGA así como modificar su valor.

El programa “mi_icon” es el que establece un canal de comunicación con la herramienta Chipscope. A través de este canal se puede intercambiar información entre la FPGA y el ordenador. El encargado de enviar la información por el canal es el programa “mi_vio”. En la Figura 4.11 se muestra el esquema de conexión entre estos dos elementos. La señal clk es la señal del reloj de la FPGA, la señal SYNC_OUT es el vector en el que se introducirá la información, y la señal CONTROL es el canal de comunicación entre ambos programas.

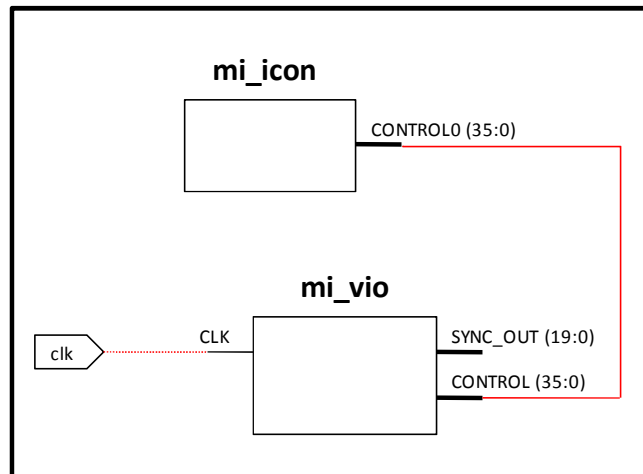


Figura 4.11. Esquema de conexión de los programas “mi_icon” y “mi_vio”.

El esquemático global de todos los programas se puede ver en la Figura 4.12.

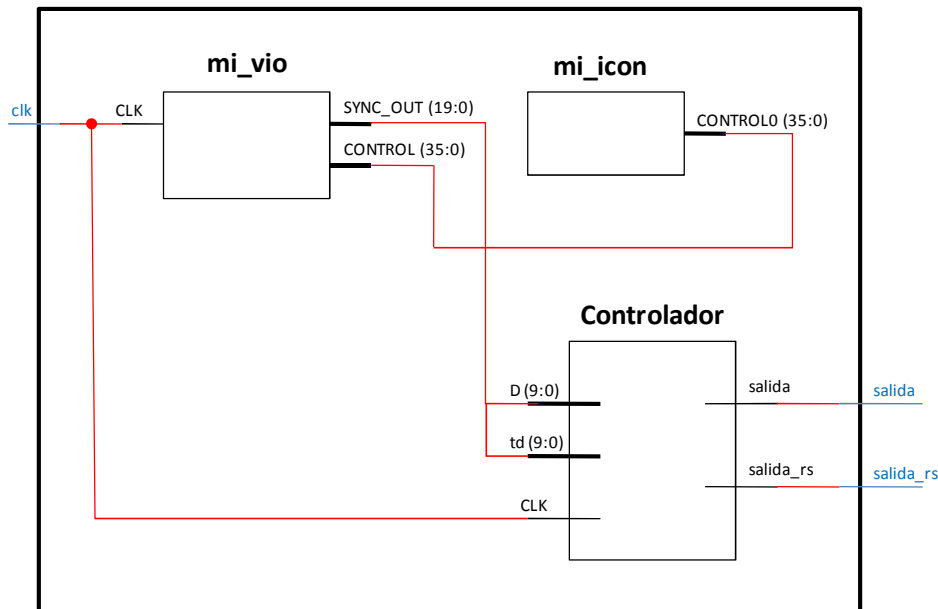


Figura 4.12. Esquema total del programa “Convertidor_chip”.

4.5. Circuito en lazo cerrado

Se pretende probar el circuito del convertidor síncrono en lazo cerrado. Para ello, se regulará el ciclo de trabajo con el fin de mantener la tensión de salida V_0 a un valor fijo determinado.

El esquema del circuito con la realimentación será como muestra la siguiente figura:

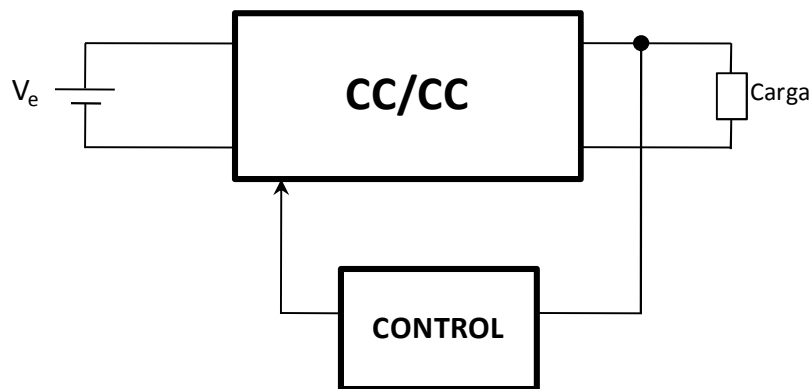


Figura 4.13. Esquema del circuito en lazo cerrado.

En el control del lazo se utiliza un restador, en el que se calcula el error entre la tensión de salida y una tensión de referencia, y un regulador compuesto por un integrador, que variará el valor del ciclo de trabajo D en función del error obtenido.

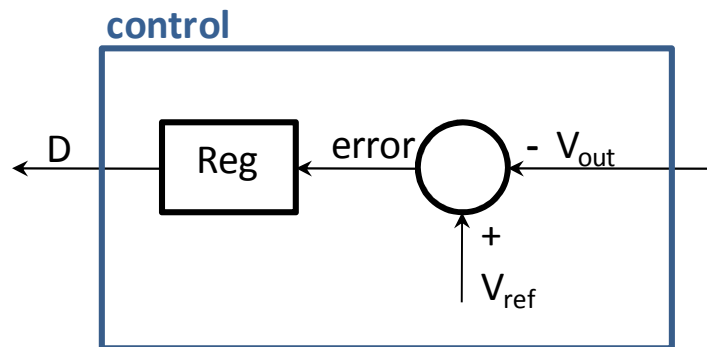


Figura 4.14. Esquema del control del lazo.

La ecuación que sigue el regulador integrador es la siguiente:

$$D_n = D_{n-1} + k \cdot e_n$$

Ecuación 23

donde k es un parámetro que multiplica al error e_n , y que se ha ajustado experimentalmente.

Los códigos de los bloques VHDL para el control en lazo cerrado, tanto para el funcionamiento en modo reductor como elevador, se encuentran en el Anexo II.3.

4.5.1. El conversor analógico digital

Para poder comparar la tensión de salida con una tensión de referencia es necesario convertir la señal analógica de la tensión de salida, en una digital para que la FPGA pueda leerla. Para ello se utilizará el conversor analógico digital ADC0804. La disposición de sus pines se pueden observar en el Anexo IV, y su esquema de conexión en el anexo de Planos.

Este ADC es un componente básico y funciona a una velocidad muy inferior a la de la FPGA. En este caso la frecuencia de muestreo es menor que la frecuencia de conmutación de los interruptores del convertidor. La máxima frecuencia de muestreo disponible en el ADC es de unos 10 KHz. A partir de la hoja de características del ADC (ver Anexo IV), se sabe que éste funciona con una señal de reloj con una frecuencia típica de 640 KHz que corresponde con una frecuencia de muestreo de 10 KHz. Por lo tanto, se captura una muestra cada 64 pulsos de reloj.

Para conseguir una frecuencia cercana a 640 KHz del reloj del ADC, se modificarán los bloques VHDL para obtener esta señal como salida de la FPGA.

En primer lugar, se implementa un contador de 10 bits que cuente los pulsos del reloj de la FPGA (100MHz). El n -ésimo bit del contador genera una señal con una frecuencia $f_{FPGA}/2^{(n+1)}$, es decir el bit 0 (el menos significativo, LSB) tendrá una frecuencia de 50 MHz, el bit 1 tendrá 25 MHz, y así sucesivamente. De este modo, se buscará aquel bit que tenga una frecuencia cercana a los 640 KHz que necesita el ADC como señal de reloj.

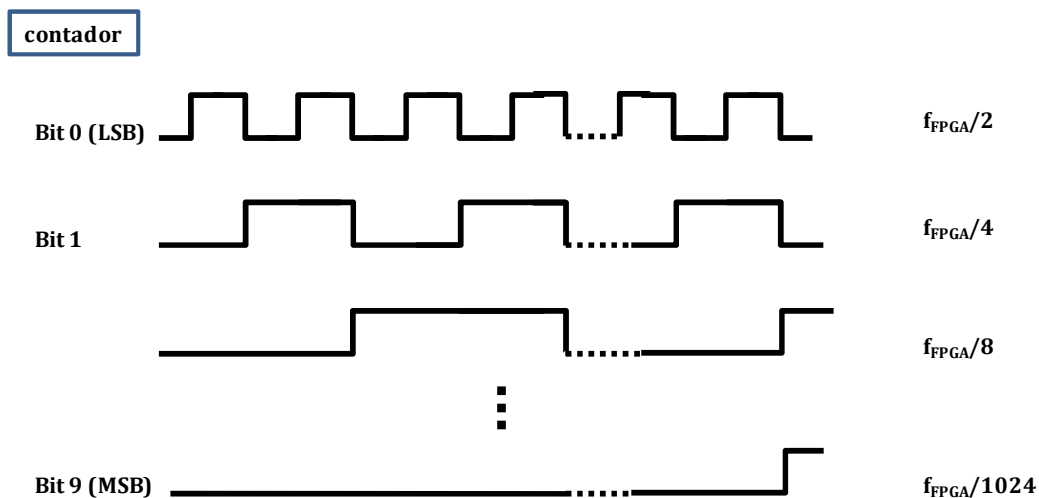


Figura 4.15. Frecuencias de los bits del contador.

Así, se obtiene que el bit 6 con una frecuencia de 781.25 KHz es el que más se aproxima a la frecuencia deseada. Si se muestrea contando 64 pulsos de esta señal obtenida, la frecuencia de muestreo queda en 12.2 KHz ($\frac{781.25 \text{ KHz}}{64} = 12.2$). Comparándola con la frecuencia de conmutación de los MOSFET real la frecuencia de muestreo es 8 veces menor ($\frac{97.75 \text{ KHz}}{12.2 \text{ KHz}} = 8.01$).

La Figura 4.16 muestra el diagrama de flujo del código que se ha añadido al programa principal.

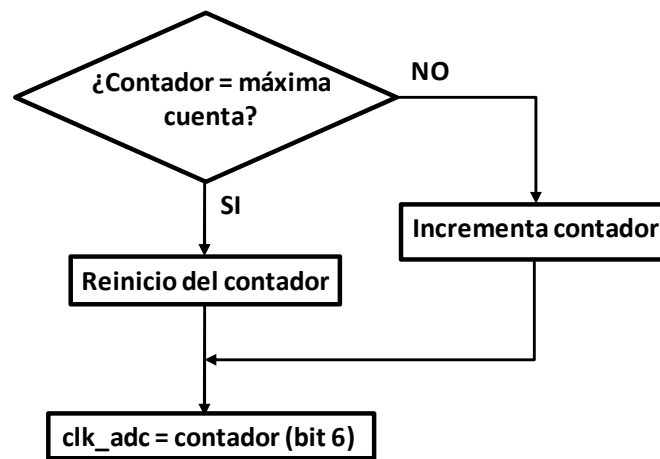


Figura 4.16. Diagrama de flujo que ilustra el funcionamiento del circuito que genera el reloj del ADC.

El ADC 0804 convierte una señal analógica en otra digital de 8 bits en función de una tensión de referencia. [12]. En este caso se han tomado 5V como referencia para la conversión, por lo que el ADC codifica 5V como 255 ('1111 1111'), y 0V como 0 ('0000 0000').

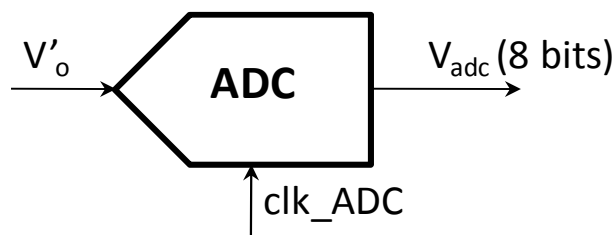


Figura 4.17. Esquema del ADC.

La salida V_{adc} del ADC es introducida en la FPGA para su regulación en la etapa de control del lazo. Para su comparación con la tensión de referencia del lazo, es necesario que la señal V_{adc} sea de 10 bits. Por lo tanto, se cogen los 8 bits de la señal como los bits más significativos de un vector de 10 bits (del bit 9 al 2), y los dos bits menos significativos se rellenan con '0', como se puede apreciar en el ejemplo de la Figura 4.18.

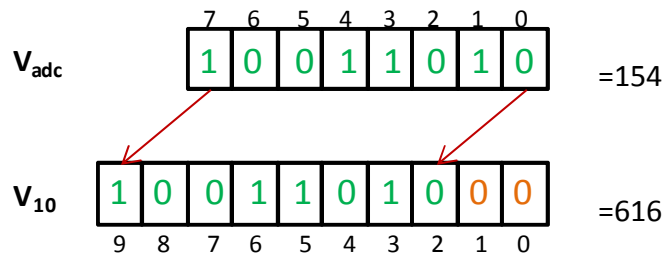


Figura 4.18. Paso de una variable de 8 bits a 10 bits.

Ahora ya se pueden comparar la tensión de salida del convertidor y la de referencia del lazo. Si esta diferencia, llamada error, es positiva se aumentará el valor de ciclo de trabajo D_{ext} ; y si es negativo se disminuirá el mismo para conseguir ajustar la tensión de salida al valor deseado.

El esquema del bloque del proceso del control del lazo se puede observar en la Figura 4.19.



Figura 4.19. Esquema del bloque del proceso de control del lazo.

Al programa se le ha añadido la posibilidad de comprobar visualmente el valor del ciclo de trabajo que calcula el lazo, mediante los diodos LED de la FPGA. Éstos también son 8, por lo que hay que realizar la conversión de 10 bits que ocupa D , a 8 bits de los LED. En este caso, se desprecian los 2 bits menos significativos.

El esquema del bloque del controlador de las señales MOSFET varía con respecto al funcionamiento en lazo abierto, y se puede observar en la siguiente figura:

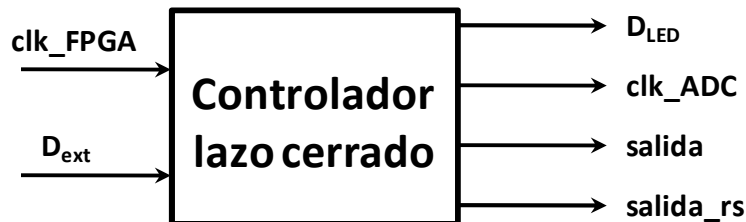


Figura 4.20. Esquema del bloque del controlador en lazo cerrado.

Para el controlador en lazo cerrado, se asigna un tiempo muerto t_d inicial, que se declara dentro del código VHDL, por lo que si se quiere modificar, habrá que volver a configurar la FPGA con el nuevo valor.

Tras diseñar los pulsos de disparo de los interruptores del convertidor, simular su comportamiento en Modelsim, implementar dichas señales en la FPGA y configurar el regulador para el lazo cerrado, se puede proceder a las pruebas experimentales del convertidor y los drivers.

- Frecuencia de conmutación de los interruptores: 100 KHz
- Frecuencia de muestreo del ADC: 12.2 KHz

Capítulo 5

Resultados experimentales

5.1. Descripción del setup de medida

Para probar el funcionamiento del prototipo se han realizado diversas pruebas con distintas configuraciones del sistema. La primera prueba se ha realizado con el convertidor reductor en lazo abierto y posteriormente se ha probado en lazo cerrado. Una tercera configuración del sistema es el convertidor en modo elevador con lazo cerrado.

En primer lugar, se muestran los elementos que forman el sistema completo, detallando las conexiones físicas que necesita cada uno de ellos.

- El convertidor síncrono

En la Figura 5.1 se muestra el convertidor construido. Los jumpers de los extremos sirven de entrada y salida, dependiendo del modo de operación que se desee. Para el convertidor en modo reductor, la entrada será el jumper verde y la salida el jumper gris. Para el modo elevador, será a la inversa. Los pines del centro son las entradas de los mandos de los interruptores, donde los tres pines de la izquierda controlan el interruptor de arriba (S1) y los tres pines de la derecha el de abajo (S2).

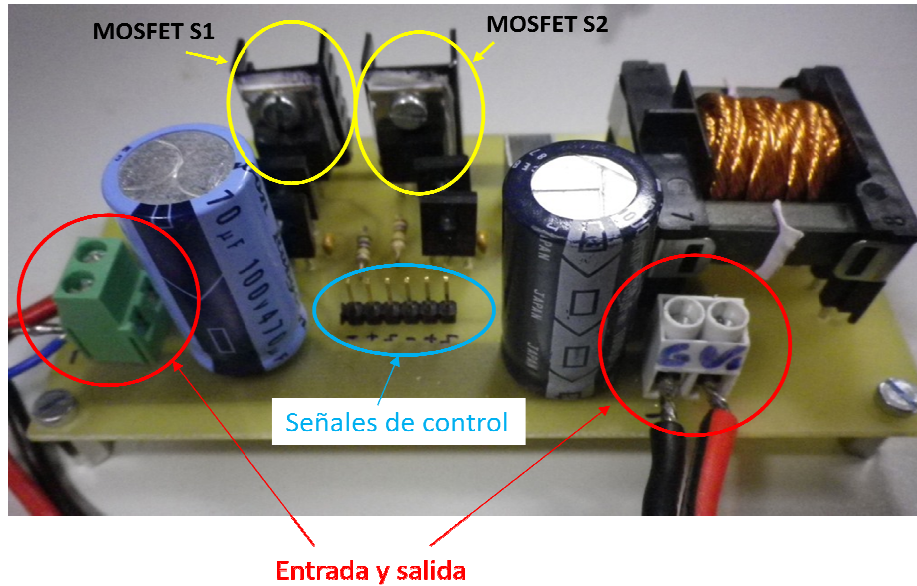


Figura 5.1. Fotografía del convertidor.

En la prueba final del convertidor, se han instalado unos MOSFET distintos a los seleccionados en el apartado 3.1.1.4 debido al agotamiento de existencias en el laboratorio del dispositivo seleccionado. Por ello, se ha utilizado el modelo IRF540N, que estaba disponible y sus características soportan los requerimientos del circuito. La hoja de características de este dispositivo se encuentra en el Anexo IV.

- Los drivers

Los pines de la izquierda de los drivers son las entradas: 5V, señal PWM de la FPGA y tierra. Los pines a la derecha en la parte inferior son las salidas: tierra del driver, señal PWM aislada y 8V de tensión. Puesto que la FPGA sólo proporciona hasta 3.3V, los 5V de entrada de los drivers provienen de una fuente de alimentación de corriente continua.

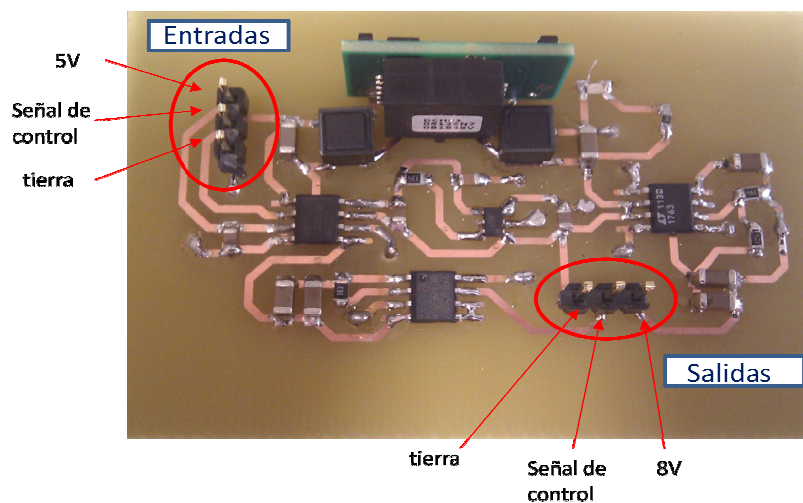


Figura 5.2. Fotografía de un driver.

- La tarjeta FPGA

La FPGA BASYS dispone de cuatro bloques de conectores, de los cuales se utiliza un pin para la salida del reloj para el ADC (clk_adc), dos para las señales PWM de control de los interruptores (salida y salida_rs), y ocho pines para introducir el valor que lee el ADC (Vadc). La FPGA puede ser alimentada a través del puerto USB de un ordenador, o con 5V de una fuente de alimentación. En el plano 1, de la sección Planos, se puede ver la relación del número de pines utilizados para cada salida o entrada.

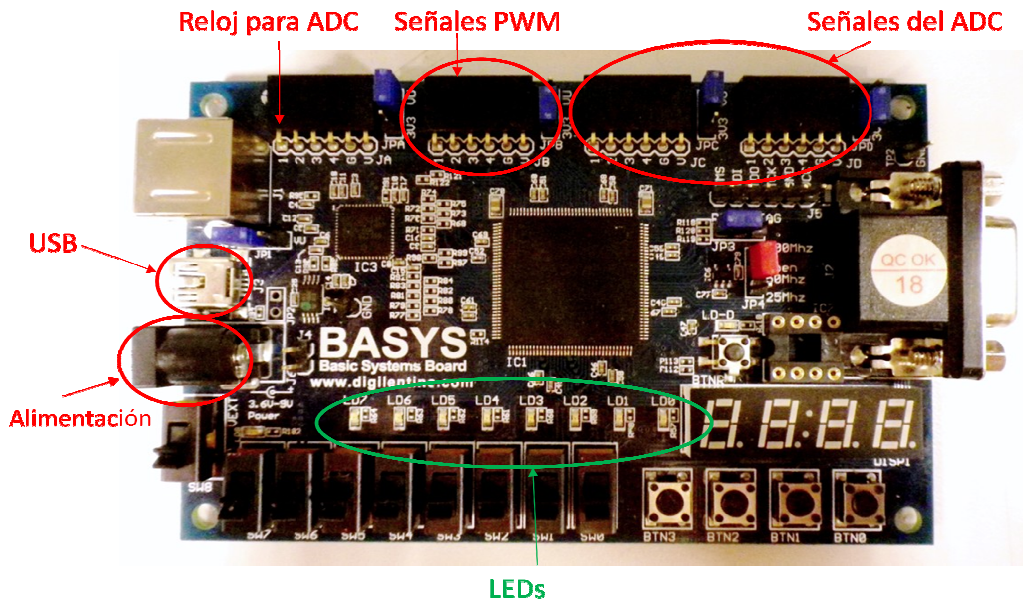


Figura 5.3. Fotografía de la tarjeta FPGA.

- El ADC

Este componente tiene un rango de tensión de entrada, que varía entre -0.3V y 18V. La tensión de salida del convertidor reductor síncrono está diseñada para que sea de 50V, por lo que no se puede conectar directamente esta salida V_0 con la entrada del ADC. Para solucionar este problema se colocará un divisor resistivo que transforme los 20V en 4V, por ejemplo, para que no sea mayor que la tensión de referencia del ADC.

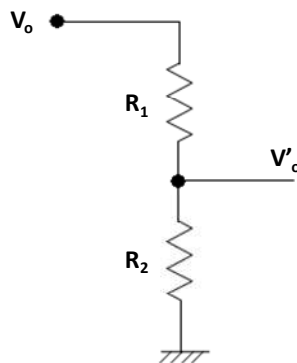


Figura 5.4. Divisor resistivo.

A partir de estos datos, se pueden calcular los valores de las resistencias:

$$V'_0 = \frac{R_2}{R_1 + R_2} \cdot V_0$$

Ecuación 24

Imponiendo que $R_1 + R_2 = 10k\Omega$, los valores de las resistencias son:

$$R_1(buck) = 8k\Omega$$

$$R_2(buck) = 2k\Omega$$

En el caso del convertidor elevador, se tienen 50V a la salida, por lo que también es necesario un divisor resistivo. A partir de la Ecuación 24, cambiando los valores de las tensiones se obtiene que:

$$R_1 = 11.5 \cdot R_2$$

Por lo que, teniendo en cuenta las existencias en el laboratorio, se ha optado por utilizar los siguientes valores:

$$R_1(boost) = 22k\Omega$$

$$R_2(boost) = 1.8k\Omega$$

Las conexiones del ADC se pueden ver en el plano 9, de la sección Planos. Es preciso comentar que se ha colocado un divisor de resistencias (R_{ADC}) entre los pines de Vcc o Vref (pin 20) y Vref/2 (pin 9), para que la tensión en este último sea exactamente la mitad. Para este fin se han colocado resistencias de $12k\Omega$. El ADC se alimenta con 5V con una fuente de alimentación.

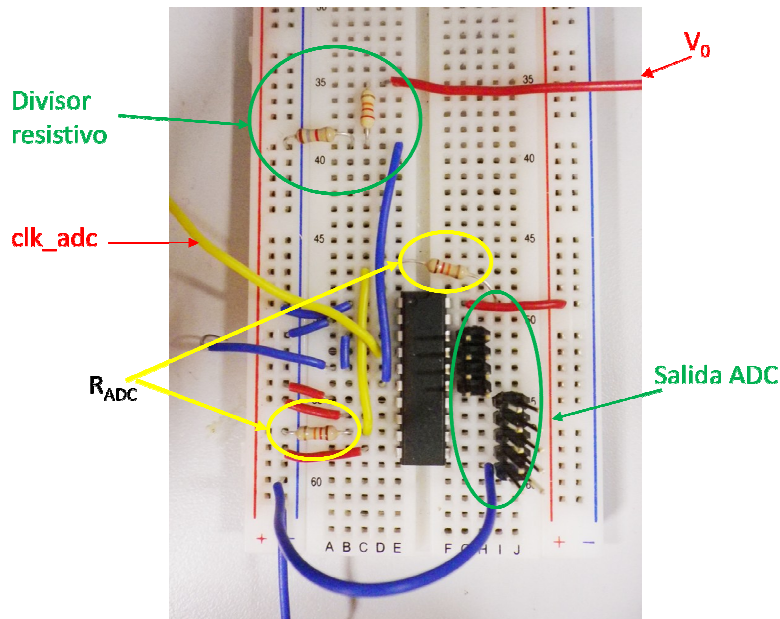


Figura 5.5. Fotografía del circuito para el ADC.

A continuación se describen las conexiones realizadas de los diferentes componentes para cada configuración.

5.1.1. Convertidor reductor en lazo abierto

El montaje del sistema como convertidor reductor en lazo abierto se puede observar en la Figura 5.6. Con la fuente de alimentación de CC pequeña (de 0 a 30V, 0-3A) se alimenta la FPGA y los drivers. El convertidor se alimenta con otra fuente mayor que tiene un rango de 0 a 60V (0-50A).

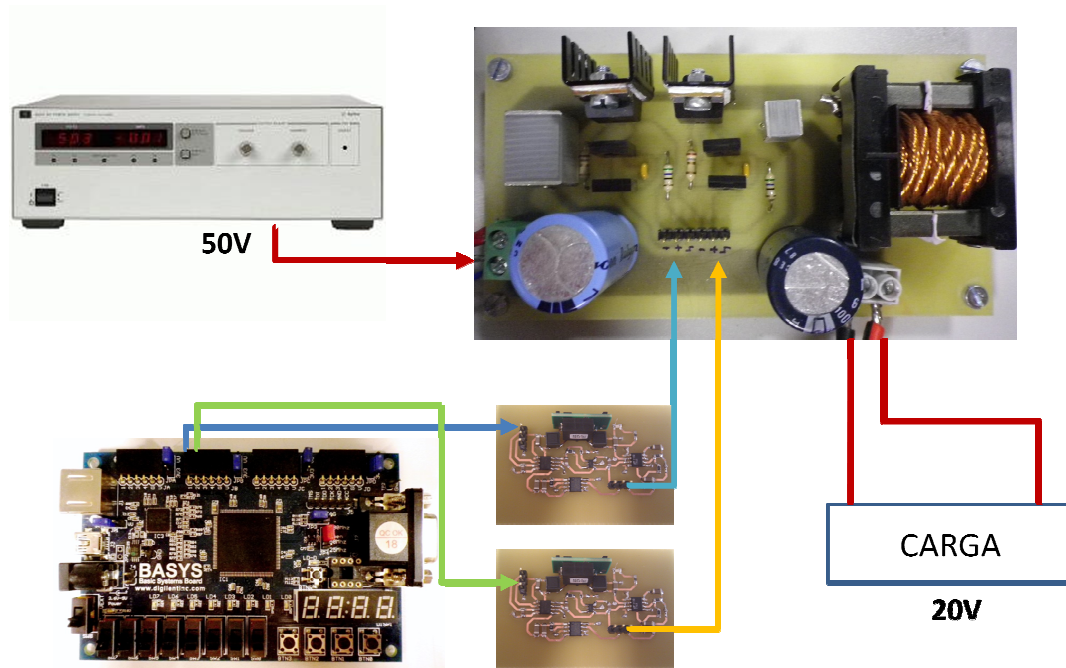


Figura 5.6. Montaje del sistema como reductor en lazo abierto.

El pulso de disparo “salida” procedente de la FPGA entra en el driver 1, cuya salida va conectada a los pines de control de S1 (ver Figura 5.7), en la placa del convertidor. La señal “salida_rs” de la FPGA entra en el driver 2, y su salida está conectada a los pines de control de S2.

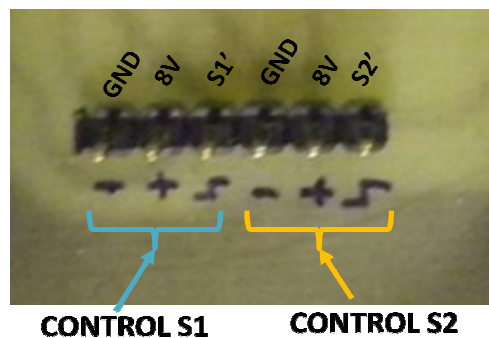


Figura 5.7. Detalle de la entrada de los pulsos de control del convertidor.

Se han medido las formas de onda con un osciloscopio de cuatro canales, y los valores de tensiones y corrientes de entrada y salida, con multímetros digitales.

Para este montaje se ha utilizado una carga compuesta por dos potenciómetros en serie de 5Ω y 3Ω .

5.1.2. Convertidor reductor en lazo cerrado

En este caso, básicamente el montaje es el mismo que en el caso anterior, sólo que se añade el ADC para cerrar el lazo. Su esquema de montaje se puede ver en la Figura 5.8.

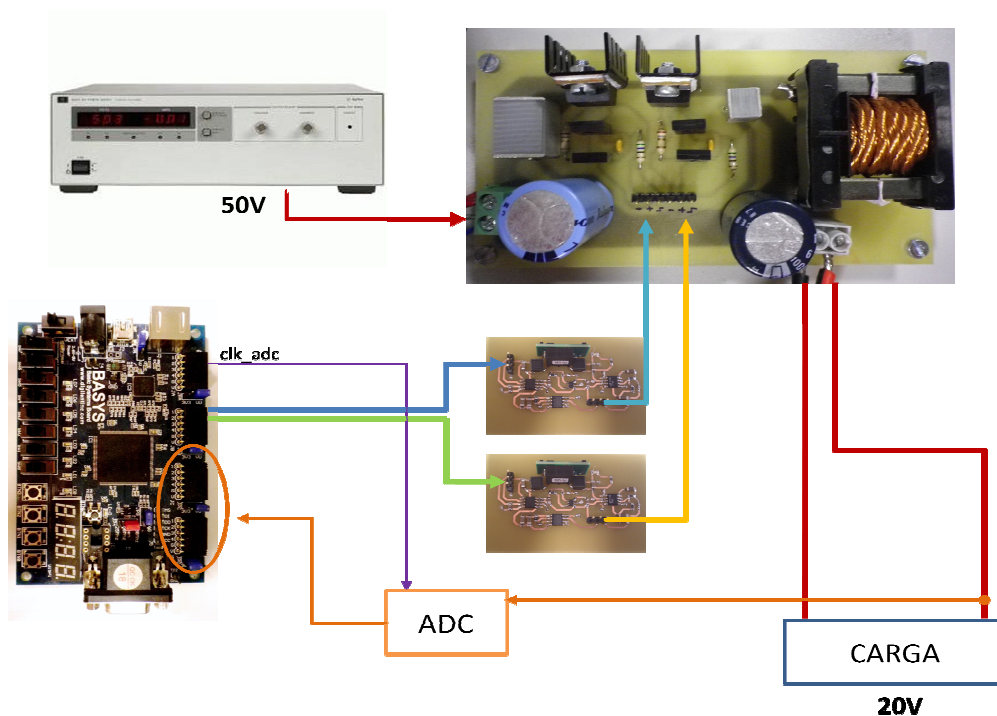


Figura 5.8. Montaje del sistema como reductor en lazo cerrado.

En una primera prueba, se ha utilizado la carga compuesta por las dos resistencias. Para obtener datos más precisos dependiendo de la corriente de salida, se ha usado una carga electrónica para poder ajustar la corriente que consume la carga al valor deseado.



Figura 5.9. La carga compuesta por dos resistencias (izq) y la carga electrónica (dcha).

5.1.3. Convertidor elevador en lazo cerrado

En principio, este proyecto ha sido diseñado para probar un convertidor reductor. Sin embargo, al tratarse de un convertidor CC/CC bidireccional, en este capítulo de resultados experimentales se ha decidido probar su funcionamiento como elevador. Es por ello por lo que los cálculos iniciales de los primeros capítulos sólo están orientados al convertidor en modo reductor.

Para el montaje en modo elevador, es necesario cambiar la entrada y la salida del convertidor. Ahora la entrada es el jumper gris, y la salida a la que va conectada la carga es el jumper verde.

En el convertidor elevador, el control se ejerce sobre el interruptor de abajo (S2), por lo que también hay que cambiar las entradas de los pines de control. En este caso, la señal “salida” controlará el MOSFET de abajo (S2) y la señal “salida_rs” el de arriba (S1).

El último cambio que hay que realizar antes de empezar con las pruebas es el divisor resistivo a la entrada del ADC. Como se explicó anteriormente, los valores de las resistencias para esta prueba son de $22\text{k}\Omega$ (R_1) y $1.8\text{k}\Omega$ (R_2).

El esquema de montaje se muestra en la siguiente figura:

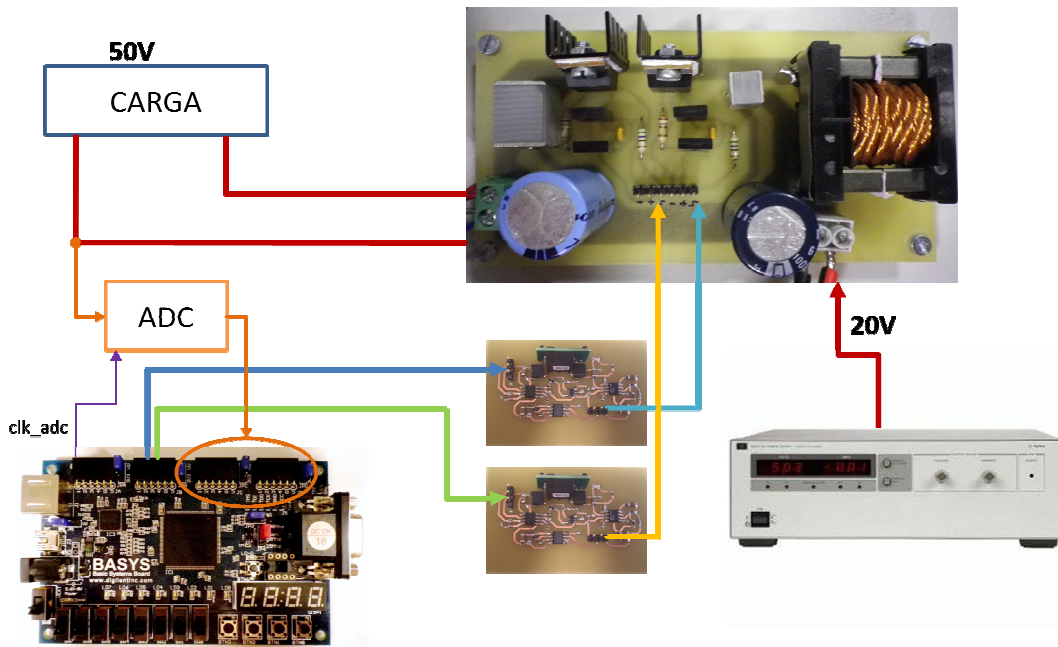


Figura 5.10. Montaje del sistema como elevador en lazo cerrado.

5.2. Convertidor reductor

5.2.1. Formas de onda características

Para las pruebas con el convertidor en modo reductor se adjuntan a continuación las formas de onda de las señales más características del sistema.

- **Señales de la FPGA**

Las señales de salida de la FPGA son: las señales PWM de control (una para cada driver) y la señal de reloj para el ADC.

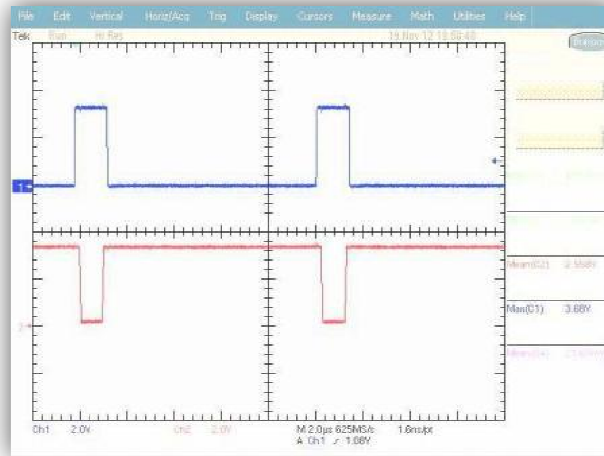


Figura 5.11. Señales de control S1 (CH1) y S2 (CH2) para el reductor.

Estas señales varían entre 0 y 3.3V como se puede observar. Antes de encender la fuente de alimentación del convertidor, el valor del ciclo de trabajo se muestra inestable, pues con tensión de salida 0V no encuentra la referencia.

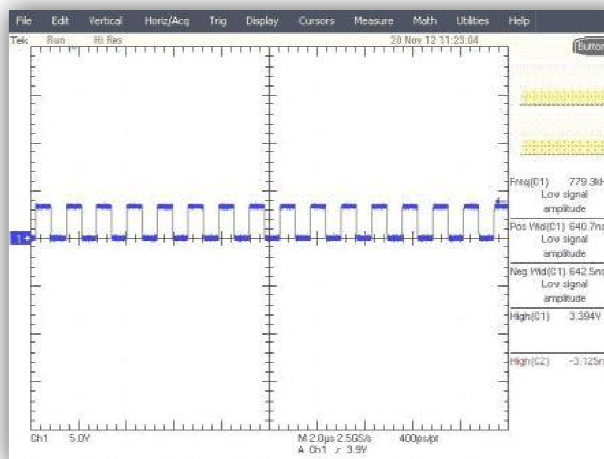


Figura 5.12. Señal de reloj para el ADC.

El osciloscopio indica que la frecuencia de este reloj es de 779.3KHz. La teórica era de 781.25KHz, por lo tanto presenta un funcionamiento correcto.

- **Señales de entrada de los drivers**

Las señales de entrada de los drivers proceden directamente de la FPGA a través de unos cables, por lo que no deben diferir mucho entre sí. En la siguiente figura se puede observar que son iguales y no han perdido tensión.

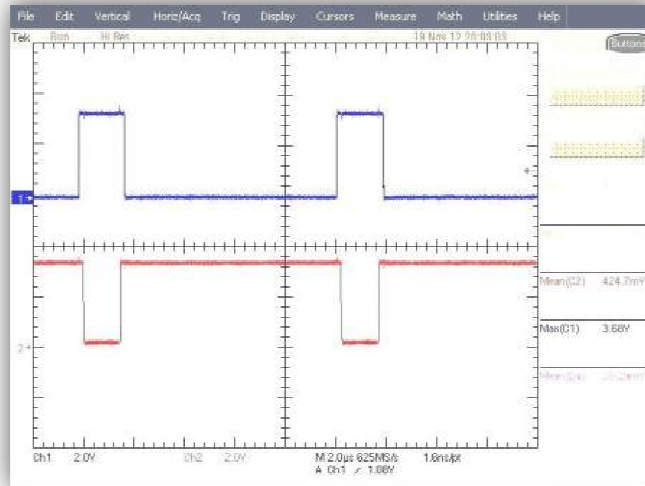


Figura 5.13. Señales a la entrada de los drivers, S1 (CH1) y S2 (CH2) para el reductor.

- **Señales de salida de los drivers**

Las señales a la salida de los drivers, como se ha explicado en apartados anteriores son las señales de entrada invertidas, y varían entre 0 y 8V en vez de entre 0 y 5V como en la entrada.

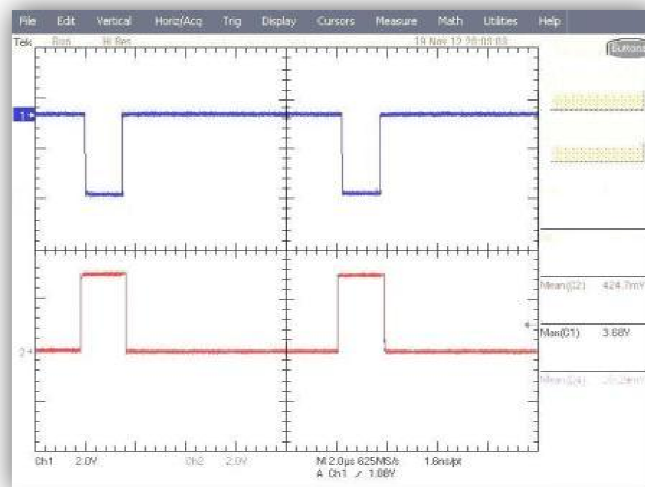


Figura 5.14. Señales a la salida de los drivers, S1 (CH1) y S2 (CH2) para el reductor.

- V_{GS}

Tensión de puerta-fuente del MOSFET de arriba (S1) y del MOSFET de abajo (S2). Es preciso destacar que no están a la misma escala de voltios/división.

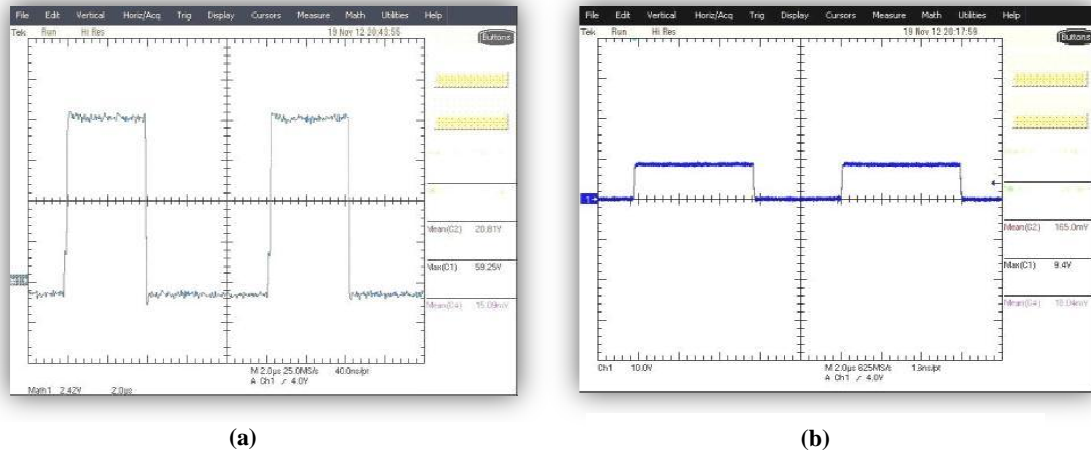


Figura 5.15. V_{GS} de S1 (a) y V_{GS} de S2 (b) en funcionamiento como reductor.

- $V_D(S2)$

La tensión en el drenador del MOSFET de abajo (S2) en vacío (con el convertidor apagado), con la corriente de salida $I_0=0.5A$ y $4.8A$.

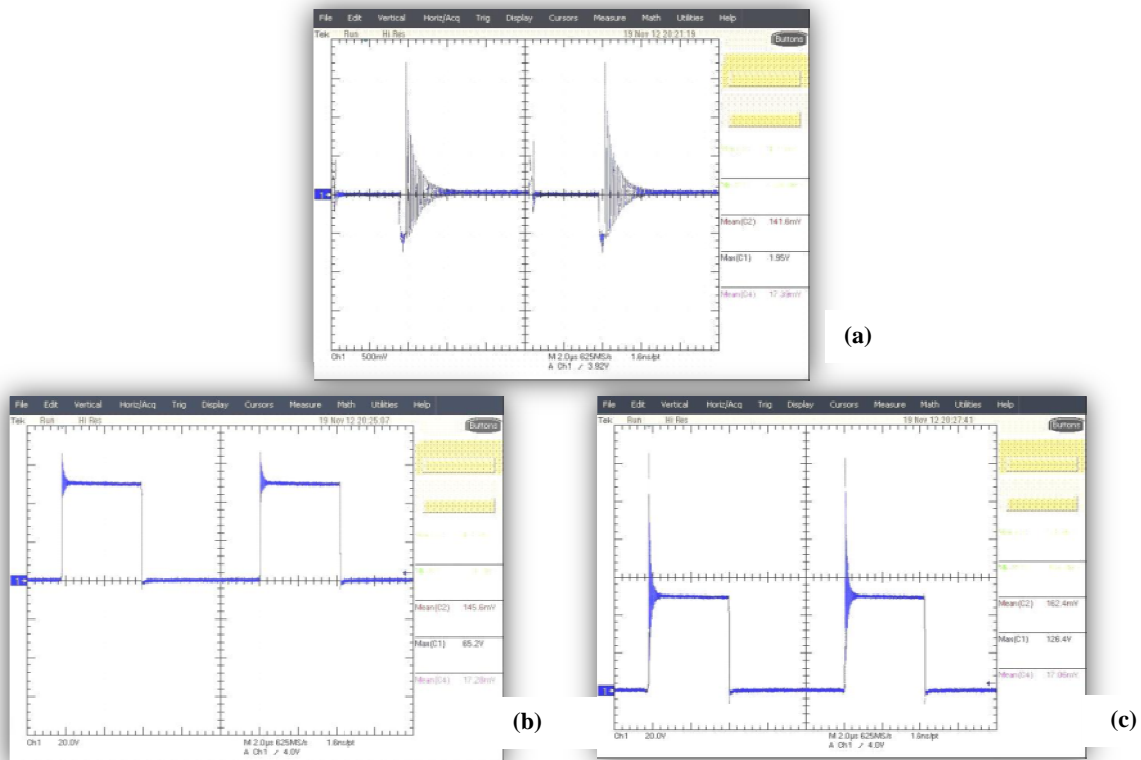


Figura 5.16. V_D de S2 en vacío (a), con $I_0=0.5A$ (b) y con $I_0=4.8A$ (c) en funcionamiento como reductor.

5.2.2. Rendimiento

A partir de los valores de tensiones y corrientes de entrada y de salida medidos con los multímetros, se han podido elaborar unas tablas para estudiar su rendimiento. El rendimiento se calcula con la siguiente ecuación:

$$\eta = \frac{V_o \cdot I_o}{V_e \cdot I_e} \cdot 100 (\%)$$

Ecuación 25

5.2.2.1. Funcionamiento como transformador DC (D fijo)

Este modo de funcionamiento se consigue con el convertidor reductor en lazo abierto y con un ciclo de trabajo D fijo. El ciclo de trabajo ha sido fijado en 0.4, y se han tomado medidas para diferentes valores de tensión de entrada. En estas medidas se ha utilizado la carga compuesta por las dos resistencias. Se ha intentado obtener un rango de corriente de salida para tomar los valores, variando para ello el valor de la impedancia de las resistencias que forman la carga.

- $V_e=10V$

R (ohm)	Ve (V)	Ie (A)	Vo (V)	Io (A)	Rendimiento (%)
8	10	0,182	3,8	0,455	95,00
7,5	10	0,197	3,8	0,491	94,71
7	10	0,214	3,8	0,532	94,47
6	10	0,279	3,8	0,692	94,25
5	10	0,299	3,8	0,74	94,05
4	10	0,354	3,8	0,877	94,14

Tabla 5.1. Rendimiento como reductor en lazo abierto con $V_e=10V$.

- $V_e=25V$

R (ohm)	Ve (V)	Ie (A)	Vo (V)	Io (A)	Rendimiento (%)
8	25	0,462	9,6	1,148	95,42
7,5	25	0,512	9,6	1,271	95,33
7	25	0,546	9,6	1,355	95,30
6	25	0,72	9,5	1,78	93,94
5	25	0,761	9,5	1,881	93,93
4	25	0,892	9,5	2,206	93,98

Tabla 5.2. Rendimiento como reductor en lazo abierto con $V_e=25V$.

- $V_e=40V$

R (ohm)	V_e (V)	I_e (A)	V_o (V)	I_o (A)	Rendimiento (%)
8	39,8	0,697	15,4	1,8	99,93
7	39,7	0,751	15,4	1,888	97,52
6,5	39,8	0,916	15,4	2,265	95,68
6	39,7	0,985	15,4	2,433	95,82
5	39,8	1,155	15,3	2,849	94,82
4	39,8	1,378	15,2	3,395	94,09

Tabla 5.3. Rendimiento como reductor en lazo abierto con $V_e=40V$.

- $V_e=50V$

R (ohm)	V_e (V)	I_e (A)	V_o (V)	I_o (A)	Rendimiento (%)
8	49,8	0,928	19,2	2,295	95,35
7,5	49,5	0,927	19,3	2,305	96,95
7	49,8	1,073	19,2	2,65	95,22
6	49,7	1,233	19,2	3,036	95,12
5	49,7	1,446	19,1	3,561	94,64
4	49,7	1,725	19	4,248	94,14

Tabla 5.4. Rendimiento como reductor en lazo abierto con $V_e=50V$.

Para los datos con tensión de entrada 50V se ha dibujado una gráfica mostrando el rendimiento respecto de la corriente de salida.

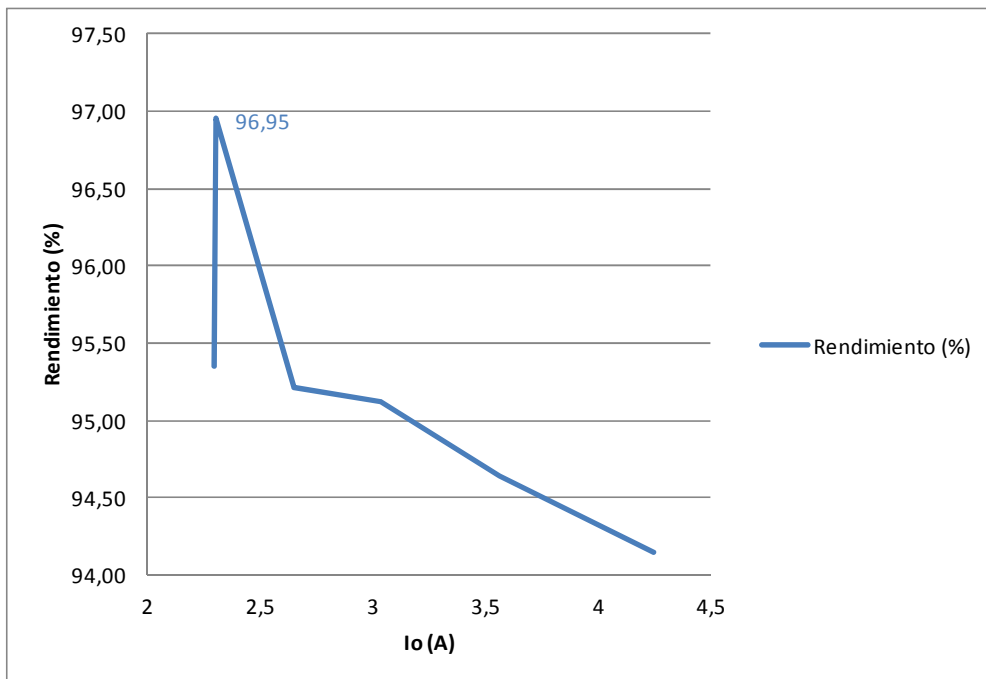


Figura 5.17. Rendimiento vs. I_o para $V_e=50V$, reductor lazo abierto.

5.2.2.2. Funcionamiento con V_0 regulada (D variable)

Este es el funcionamiento en lazo cerrado. Las primeras tablas son para la carga compuesta por los dos potenciómetros, y las últimas para las medidas con la carga electrónica, tomando medidas para diferentes valores de tiempo muerto para obtener un análisis de sensibilidad de los tiempos muertos.

- **Carga compuesta:**

Para varios valores de tiempo muerto (200, 400 y 600 ns), se han tomado seis medidas variando el valor de la resistencia de salida (entre 4 y 8Ω). Al ser pocos valores las gráficas del rendimiento no muestran líneas suaves, aún así se puede observar que los mejores rendimientos se obtienen en general con un tiempo muerto de 200 ns. Sin embargo esto no ocurre para corrientes de salida elevadas (mayores de 4A) donde el convertidor claramente funciona mejor con un tiempo muerto de 400 ns.

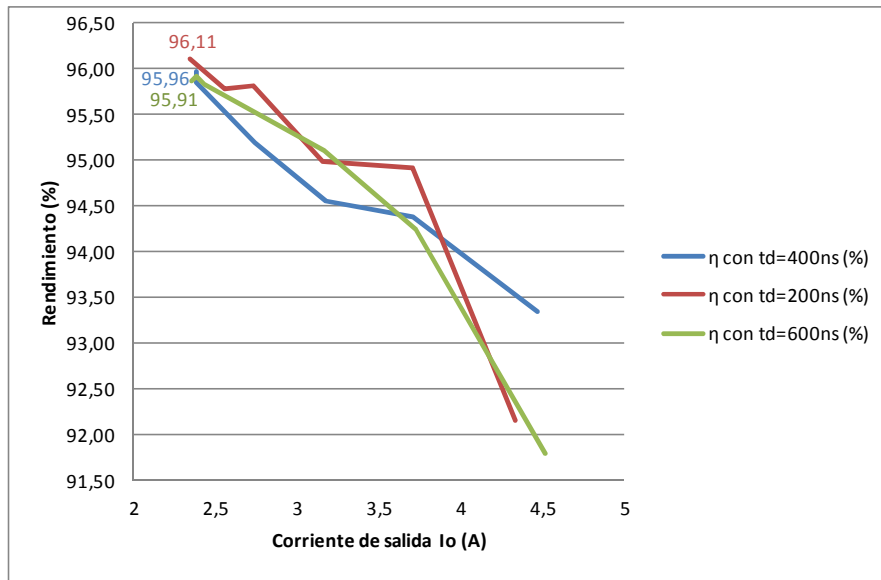


Figura 5.18. Rendimiento vs. I_o en función de t_d como reductor en lazo cerrado.

- **Carga electrónica:**

A continuación se muestran las gráficas de las medidas realizadas con la carga electrónica. Se representa el rendimiento frente a la corriente de salida, en función del tiempo muerto. En este caso se han podido tomar más puntos (quince medidas) debido a que en la carga electrónica se puede fijar el valor de corriente de salida que se desea que consuma la carga, en vez de fijar el valor de la resistencia.

En la Figura 5.19 se puede observar que el rendimiento para un tiempo muerto de 100 ns es bastante inestable, a pesar de que en algunos puntos presente un valor mayor que para el resto de tiempos. Se puede decir que los resultados de mayor

rendimiento y mayor uniformidad los presenta la serie para un tiempo muerto de 200 ns, incluso para corrientes de salida elevadas.

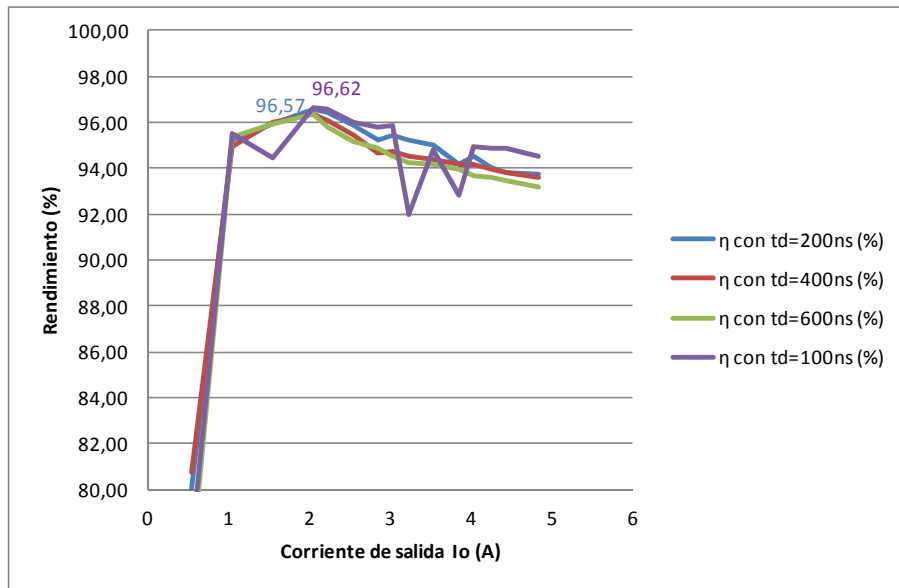


Figura 5.19. Rendimiento vs. I_o , reductor en lazo cerrado con carga electrónica.

Para un tiempo muerto de 200 ns, el mejor caso, se han realizado más medidas variando la tensión de entrada entre ± 5 V de la tensión nominal. La siguiente figura muestra los resultados obtenidos:

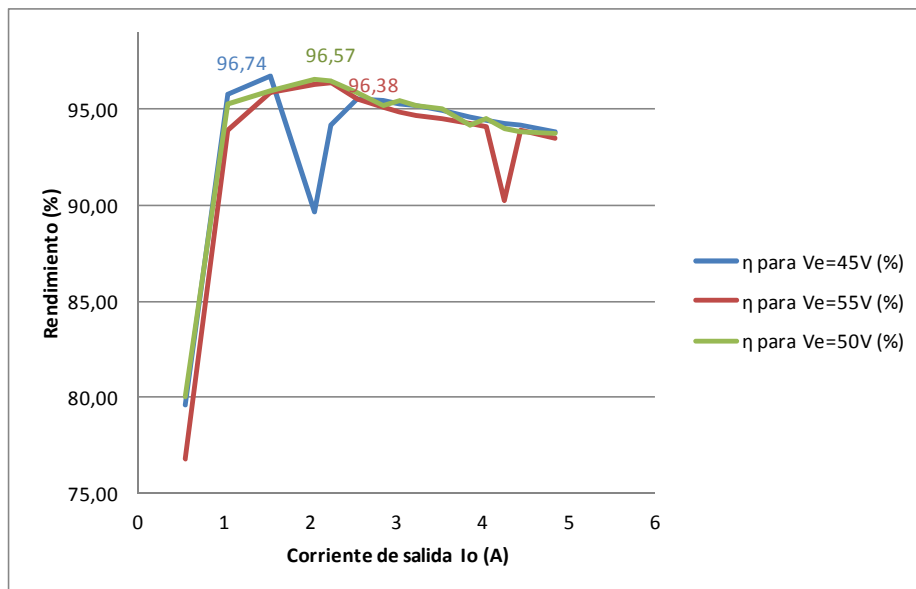


Figura 5.20. Rendimiento vs. I_o , reductor lazo cerrado con $V_{e_{min}}$ y $V_{e_{max}}$.

Los valores más uniformes se muestran cuando la tensión de entrada es la nominal de 50V. Para los tres valores, en general se obtienen rendimientos muy parecidos exceptuando algún valor atípico en los casos de 45 y 55V. Por ello, se puede concluir que el mejor funcionamiento se obtiene con una tensión de entrada nominal.

Adicionalmente, con las medidas realizadas se han comparado los rendimientos en función del lazo (lazo abierto o cerrado) y en función de la carga a la salida del convertidor (carga combinada o carga electrónica).

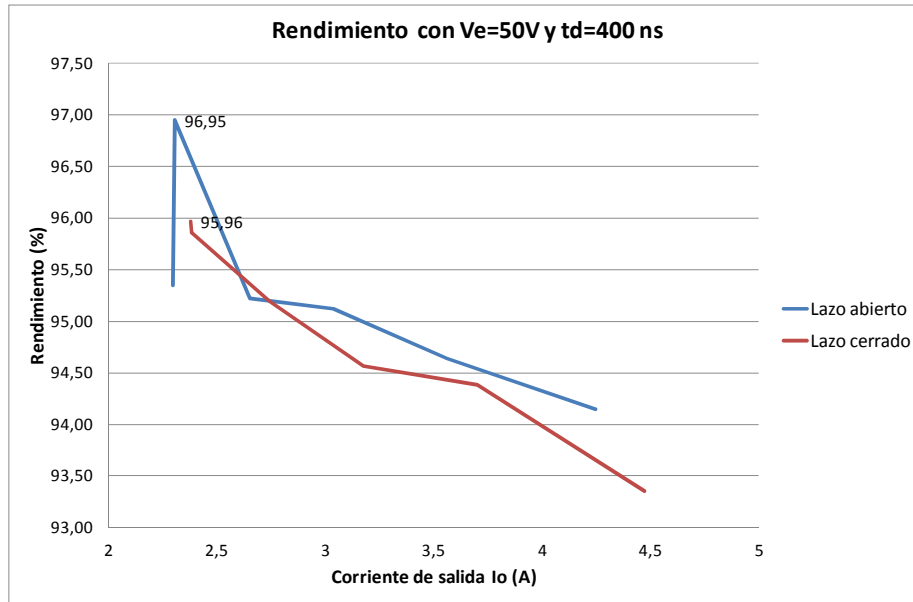


Figura 5.21. Comparación del rendimiento en lazo abierto y en lazo cerrado.

Se observa que en lazo cerrado para un mismo valor de corriente de salida se obtiene un rendimiento un poco menor que en lazo abierto.

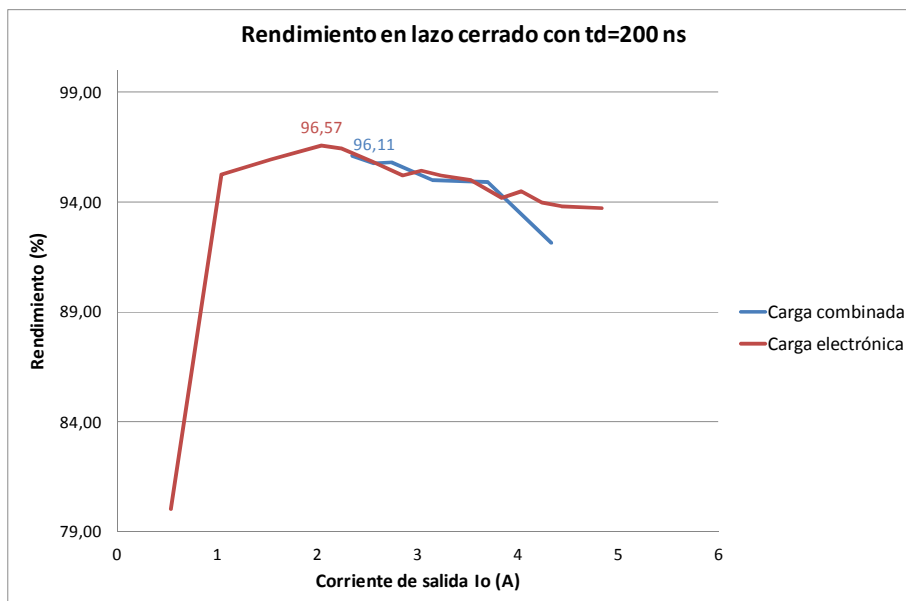


Figura 5.22. Comparación del rendimiento con carga combinada y carga electrónica.

En este caso sólo se puede concluir que con la carga electrónica el rango de medida es mayor, pues ambas cargas presentan rendimientos similares.

5.3. Convertidor elevador

5.3.1. Formas de onda características

- **Señales de la FPGA**

Las señales de salida de la FPGA son las mismas que para el reductor: las señales PWM de control (una para cada driver) y la señal de reloj para el ADC.

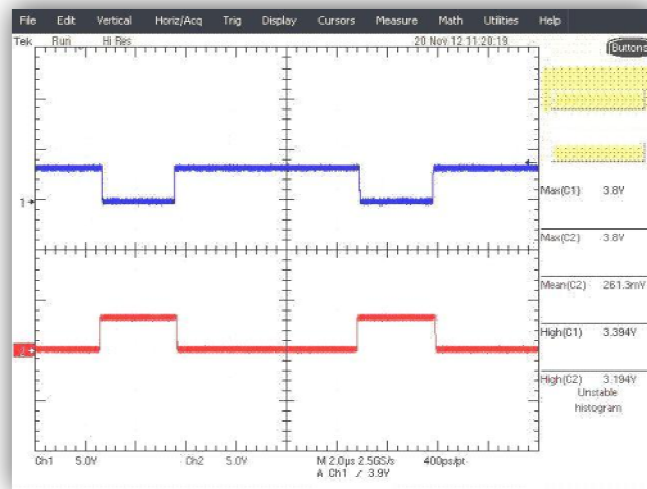


Figura 5.23. Señales de control S1 (CH1) y S2 (CH2) en el elevador.

La señal de reloj de ADC para el funcionamiento como elevador es la misma que para el funcionamiento como reductor.

- **Señales de entrada de los drivers**

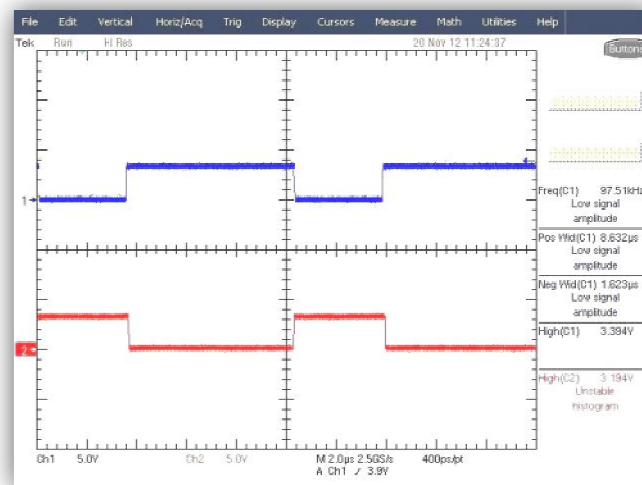


Figura 5.24. Señales a la entrada de los drivers, S1 (CH1) y S2 (CH2) para el elevador.

- **Señales de salida de los drivers**

De nuevo, las señales de salida de los drivers son las inversas de las entradas con un rango de tensión entre 0 y 8V.

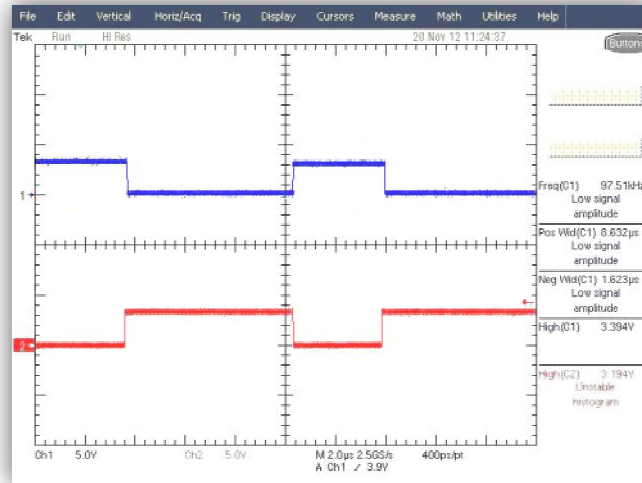


Figura 5.25. Señales a la salida de los drivers, S1 (CH1) y S2 (CH2) para el elevador.

- V_{GS}

Tensión de puerta-fuente del MOSFET de arriba (S1) y del de abajo (S2). Los voltios/división de ambas gráficas son distintas. Se puede apreciar que las señales son muy parecidas a las del funcionamiento en modo reductor.

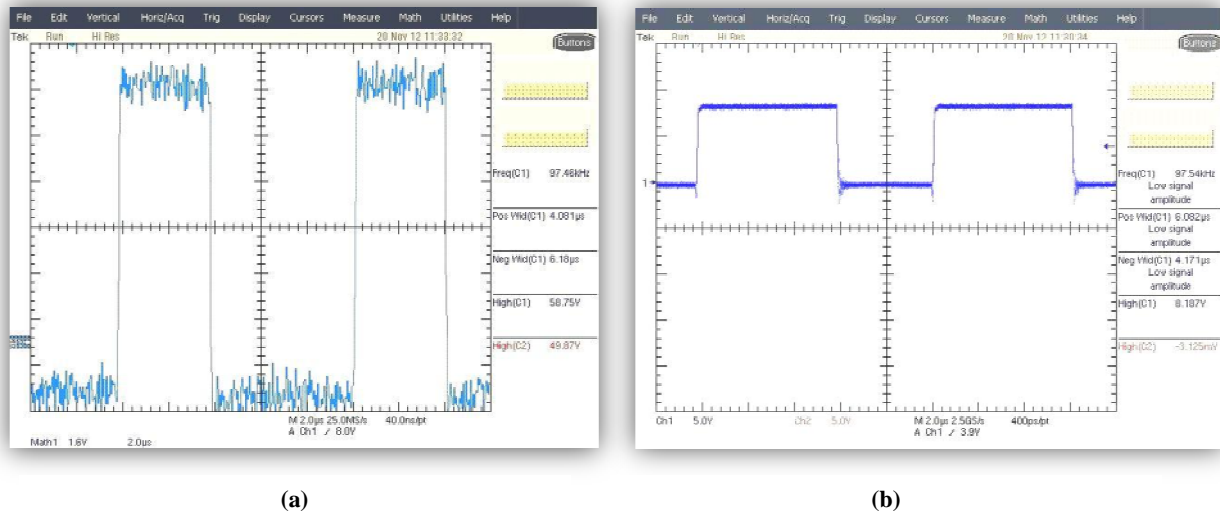
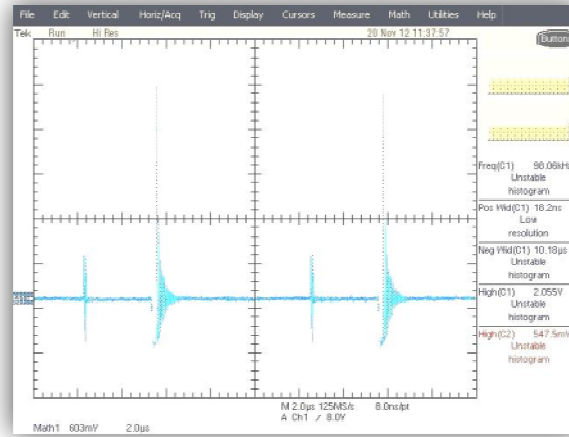


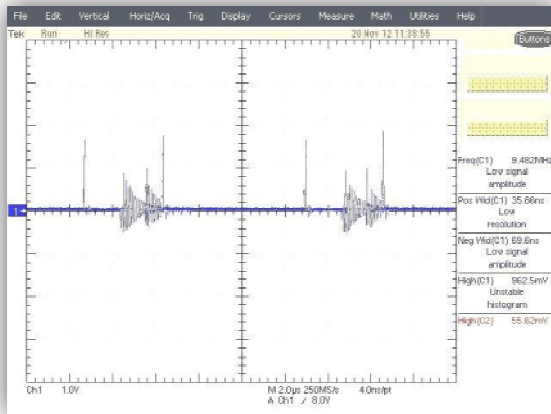
Figura 5.26. V_{GS} de S1 (a) y de S2 (b) en funcionamiento como elevador.

- $V_D(S2)$

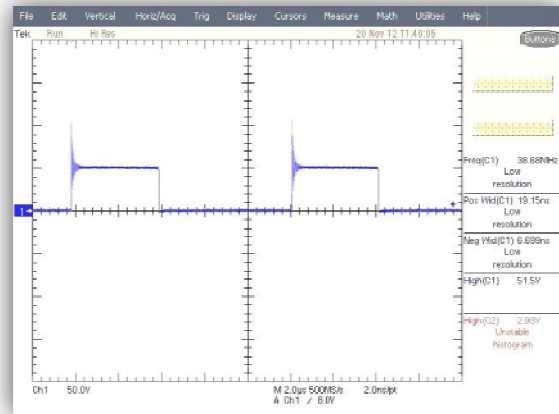
Tensión en el drenador del interruptor de abajo (S2) que en modo elevador es el que controla los tiempos, así como del interruptor de arriba (S1) en vacío.



(a)



(b)



(c)

Figura 5.27. V_{DS} de S1 en vacío (a), V_{DS} de S2 en vacío (b) y V_{DS} de S2 con $I_0=0.5A$ (c).

5.3.2. Rendimiento

El convertidor elevador se ha probado solamente en lazo cerrado. Se han tomado medidas variando los tiempos muertos de las señales de control. Para el caso más favorable, es decir el caso en el que los rendimientos son mayores, se han tomado más medidas para una tensión de entrada mínima y máxima $\pm 5V$ de la nominal.

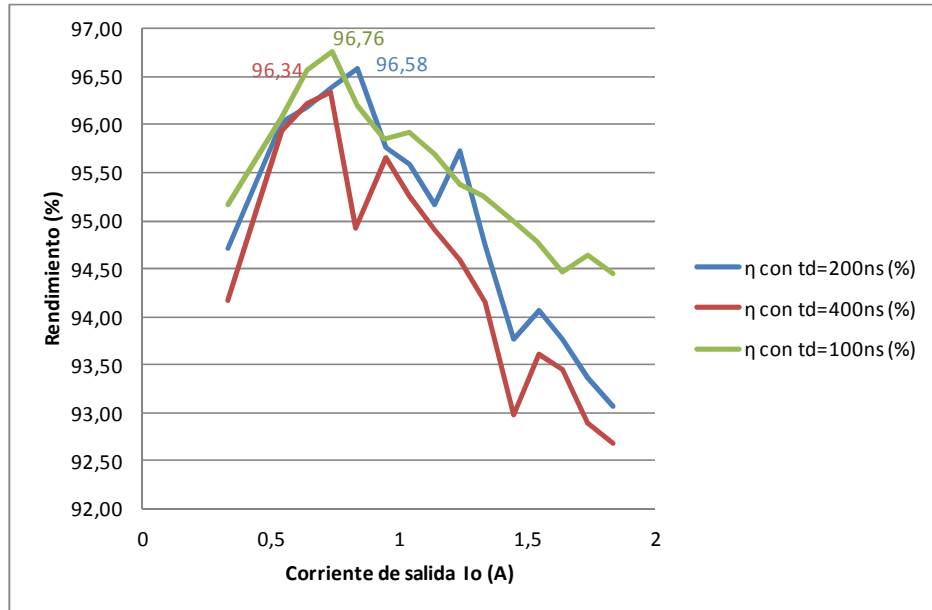


Figura 5.28. Rendimiento vs. I_o , elevador en lazo cerrado.

Se puede observar que para los tiempos muertos de 200 y 400 ns las medidas no siguen una tendencia definida, sin embargo para un tiempo muerto de 100 ns la serie sigue una aparente uniformidad.

En este modo de funcionamiento como elevador, el caso más favorable es cuando el tiempo muerto es de 100 ns.

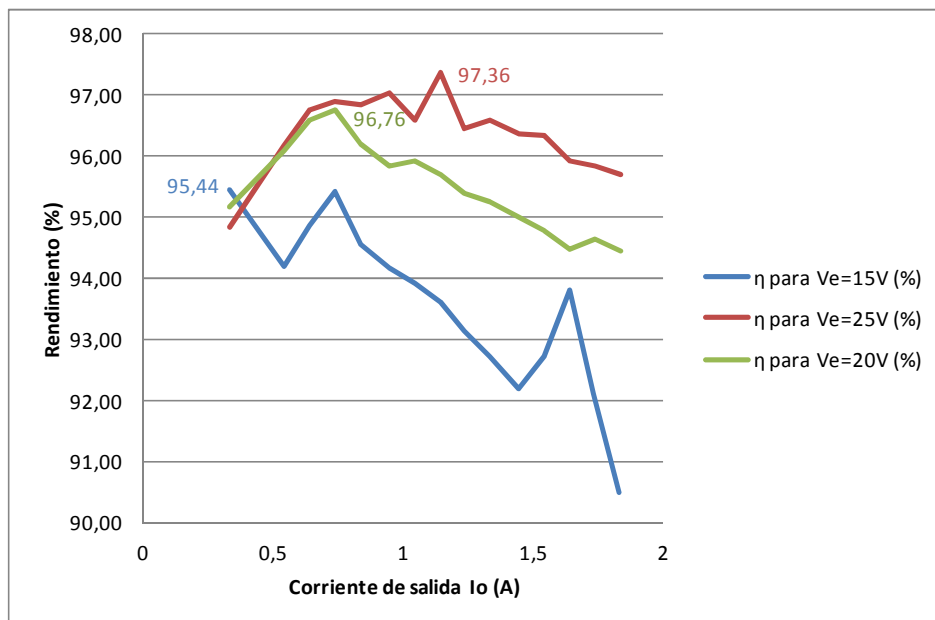


Figura 5.29. Rendimiento vs. I_o , elevador con $V_{e_{\min}}$ y $V_{e_{\max}}$.

Es curioso observar que en este caso, a medida que aumenta el valor de la tensión de entrada, los rendimientos también son mayores, sobre todo para corrientes de salida elevadas.

Como conclusión se ha realizado una comparativa entre los rendimientos obtenidos en el convertidor reductor y en el elevador en lazo cerrado, con unas tensiones de 25V de entrada y 50V de salida para el caso del reductor, y de 50V de entrada y 25V de salida para el caso del elevador.

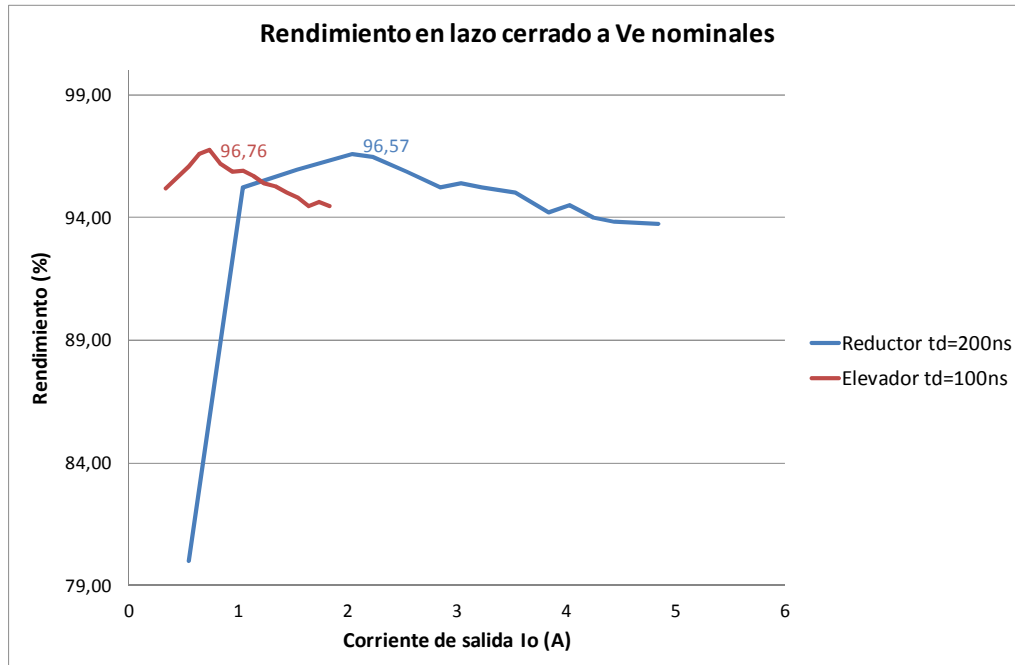


Figura 5.30. Comparación del rendimiento en modo reductor y elevador.

A pesar de que la gráfica no sea muy esclarecedora, de los rangos de corriente de salida donde existen datos de ambos modos de funcionamiento (entre 0.5 y 2A) se puede deducir lo siguiente: a bajos valores de corriente de salida el rendimiento es mejor en el convertidor elevador, y a mayores corrientes es mejor en el reductor.

5.4. Comportamiento dinámico

En este apartado se presentan las medidas experimentales de la dinámica del sistema. Para ello, se coloca una pequeña resistencia a la salida del convertidor antes del ADC, generando una pequeña perturbación para medir con un analizador de ganancia-fase, la diferencia entre la señal con la perturbación antes y después de pasar por el convertidor, en el caso de medir la ganancia de lazo. Una vez introducida la perturbación en el sistema, se pueden medir otras funciones de transferencia, como la planta (etapa de potencia) y el regulador.

La Figura 5.31 muestra un esquema del sistema en el cual se detallan las conexiones realizadas. R_{pert} se refiere a la resistencia que introduce la perturbación sinusoidal, y tendrá un valor de 100Ω . R_1 y R_2 son las resistencias del divisor resistivo a

la entrada del ADC. Para inyectar la perturbación que genera el analizador se ha utilizado un “*bode box*” (modelo 200-003), que es un transformador 10:1 con un rango de frecuencias de 100 Hz a 10 MHz.

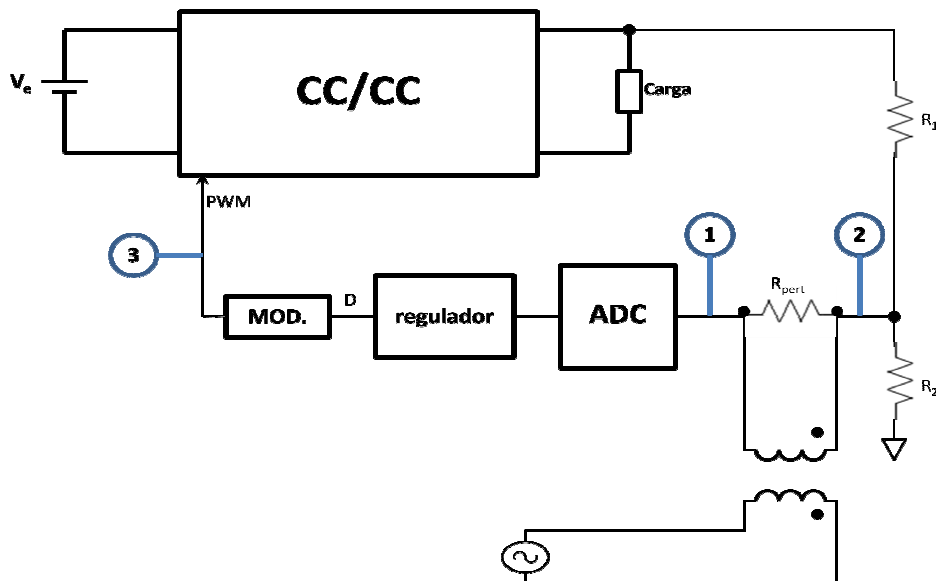


Figura 5.31. Esquema de conexión para medidas de lazo.

Para medir la ganancia se utilizan dos sondas, una de entrada (“referencia”) y otra de salida (“test”), colocadas en los puntos señalados con números azules en la Figura 5.31. Así, para medir la planta se sitúa la sonda de referencia en 3 y la de test en 2, para la ganancia de lazo se coloca la sonda de referencia en 1 y la de test en 2, y para la medida del regulador la referencia será el punto 1 y el punto 3 será la de test.

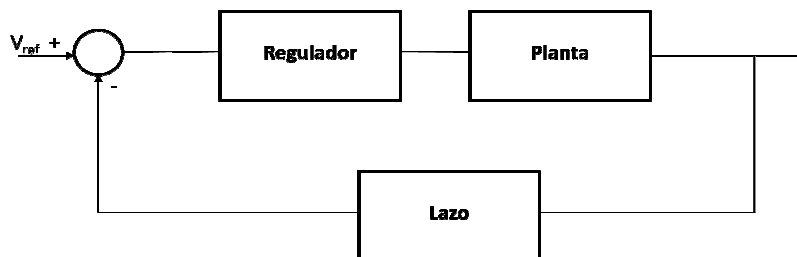


Figura 5.32. Diagrama de bloques del sistema realimentado.

En el momento de la realización de las medidas del comportamiento dinámico, no fue posible extraer numéricamente los resultados del analizador de ganancia y fase, por lo que sólo se presentan los resultados a nivel gráfico.

En todas las medidas que se presentan a continuación se debe tener en cuenta la influencia del muestreo del ADC. Nótese que en todas las medidas realizadas aparecen implicadas señales muestreadas. Los resultados, a partir de la mitad de frecuencia de muestreo no son evaluables. Nótese que la frecuencia de muestreo del ADC es en este caso 12.2 KHz.

5.4.1. Medida del lazo como reductor

- Planta

Sonda de entrada: 3

Sonda de salida: 2

La planta está formada por el convertidor CC/CC más el “sensor” (el divisor resistivo a la entrada del ADC). La frecuencia natural de la planta está en la zona de influencia de la frecuencia de muestreo, por lo que la característica medida no se corresponde con la forma típica de un convertidor reductor. En este caso, sólo es evaluable el resultado en baja frecuencia. Cualitativamente se puede apreciar cómo con 50 V de tensión de entrada la magnitud de la función de transferencia de la planta es mayor que con 25 V. Teóricamente la diferencia debería ser 6 dB, mientras que según lo que aparece en la Figura 5.33, la diferencia entre (a) y (b) es 7.4 dB a 10 Hz (valor del marcador). Este error se puede atribuir en principio a la dispersión de las medidas en baja frecuencia.

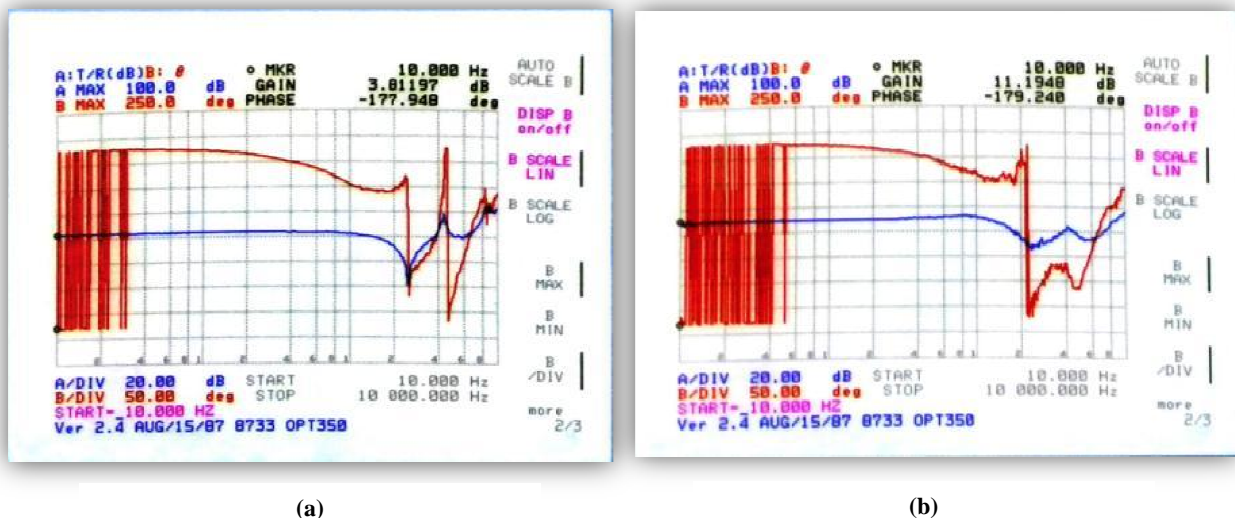


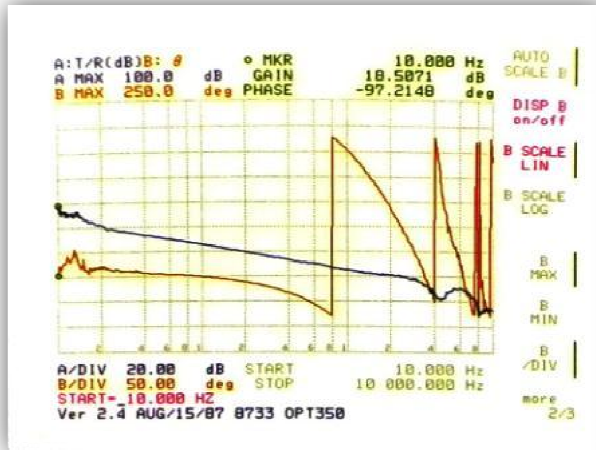
Figura 5.33. Planta con $V_e=25V$ (a) y con $V_e=50V$ (b).

- Regulador

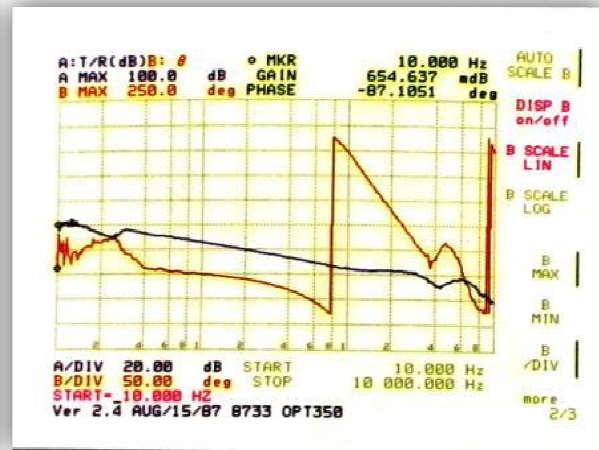
Sonda de entrada: 1

Sonda de salida: 3

Como se describió en capítulos anteriores, el regulador es un integrador. En Figura 5.34 se puede apreciar que, efectivamente, la magnitud cae con 20 dB/dec y que la fase empieza en -90° . Se puede apreciar también que no existe cambio significativo cuando la tensión del convertidor cambia, lo que es completamente previsible. A baja frecuencia aparecen discrepancias entre las medidas, porque en esos valores de frecuencia (decena de Hz) las medidas son siempre difíciles de tomar.



(a)



(b)

Figura 5.34. Regulador con $V_e=25V$ (a) y con $V_e=50V$ (b).

- Lazo

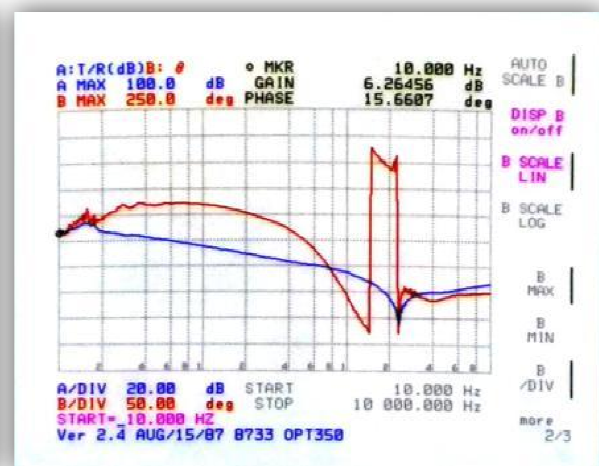
Sonda de entrada: 1

Sonda de salida: 2

En la medida de ganancia de lazo se puede observar cómo la caída en frecuencias medias es de -20dB/dec , correspondiente al regulador. También se puede apreciar claramente el efecto de la discretización a partir de 3 Hz, aproximadamente. La frecuencia de cruce es, aproximadamente 3Hz para una tensión de entrada de 25 V y de unos 6 Hz para una tensión de entrada de 50 V, lo cual es un resultado totalmente esperable.



(a)



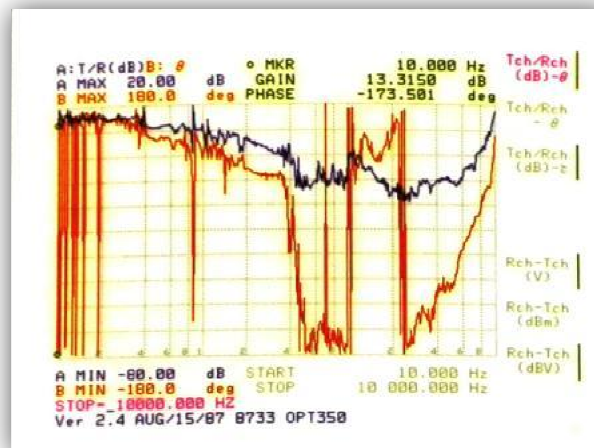
(b)

Figura 5.35. Lazo con $V_e=25V$ (a) y con $V_e=50V$ (b).

5.4.2. Medida del lazo como elevador

A continuación se presentan las medidas correspondientes al funcionamiento como convertidor elevador. El análisis de estas medidas se puede resumir en algunos comentarios comunes a todas ellas. Los resultados obtenidos no han permitido un análisis cuantitativo como en el caso anterior, dado la baja calidad de las medidas en algunos casos. Sin embargo, se puede apreciar claramente la influencia del muestreo, como en el caso anterior. En el caso de la medida de la planta (Figura 5.36) no se pueden comparar adecuadamente, debido al resultado obtenido con una tensión de entrada de 10 V. En el caso del regulador (Figura 5.37), pese a tratarse del mismo utilizado en el caso anterior, los resultados no son tan comparables entre sí. Finalmente, la medida de la ganancia de lazo (Figura 5.38) permite intuir unos valores de frecuencia de cruce del mismo orden de magnitud que en el caso anterior, aunque debido a la baja calidad de la medida en baja frecuencia, no se pueden dar unos valores precisos.

- Planta



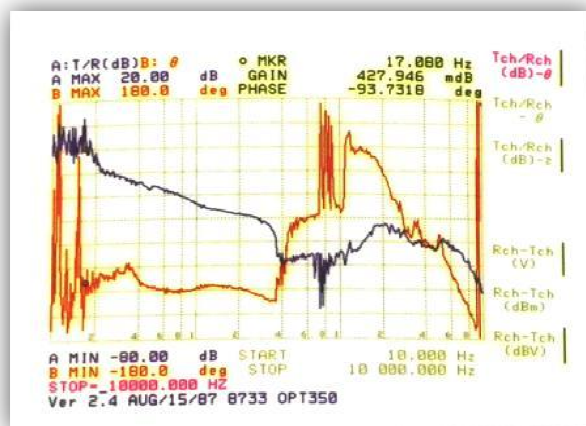
(a)



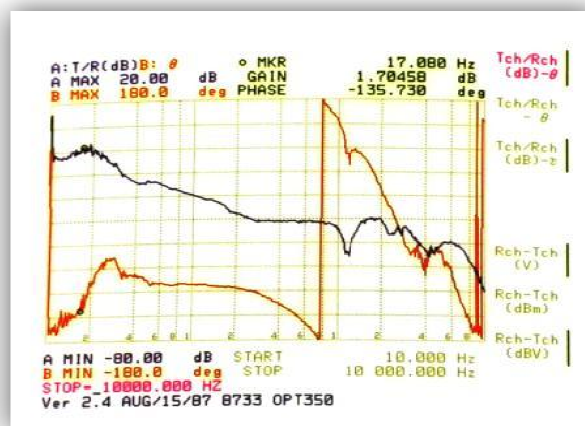
(b)

Figura 5.36. Planta con $V_e=10V$ (a) y con $V_e=20V$ (b).

- Regulador



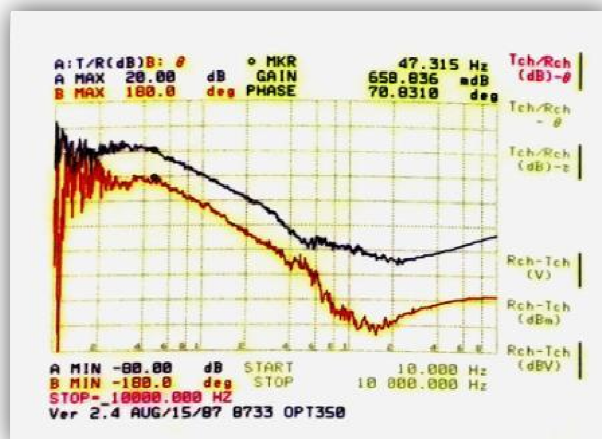
(a)



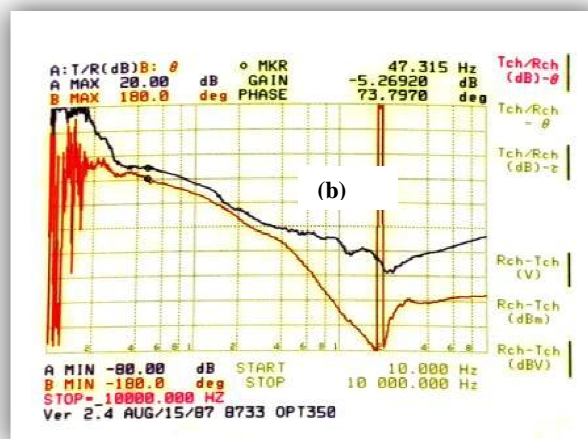
(b)

Figura 5.37. Regulador con $V_e=10V$ (a) y con $V_e=20V$ (b).

- Lazo



(a)



(b)

Figura 5.38. Lazo con $V_e=10V$ (a) y con $V_e=20V$ (b).

Capítulo 6

Conclusiones y trabajos futuros

El objetivo principal de este proyecto era diseñar un demostrador de un convertidor reductor síncrono con drivers con aislamiento galvánico y con control digital mediante FPGA. Este objetivo ha sido alcanzado satisfactoriamente, al haber conseguido que el convertidor funcionara correctamente tanto en lazo cerrado como en lazo abierto. Además se ha comprobado el funcionamiento bidireccional del convertidor al haberlo caracterizado en modo reductor y en modo elevador. En todos los casos, se han utilizado drivers diseñados como módulos separados del convertidor proporcionando aislamiento galvánico, de manera que el funcionamiento de los drivers también ha sido validado.

El control digital mediante FPGA permite que, con los drivers aislados, se pueda tener un control centralizado en caso de sistemas con varios convertidores en serie o paralelo. Las propiedades de las señales de disparo de los interruptores son modificables fácilmente a través de los códigos desarrollados en lenguaje VHDL.

Cabe destacar algunos aspectos concretos del proyecto desde un punto de vista técnico. Entre las dificultades que han surgido en el desarrollo de este trabajo se podría mencionar en primer lugar el comportamiento de los drivers. Éstos invierten la señal, por lo que las señales de disparo debieron ser adecuadamente recalculadas para implementar los tiempos muertos. En segundo lugar, la herramienta de ayuda a la depuración del circuito digital Chipscope fue de gran ayuda en una primera fase del proyecto. Sin embargo, no funcionó correctamente al cambiar de FPGA en las pruebas

experimentales, lo cual es un aspecto negativo. Finalmente, la heterogeneidad de las herramientas utilizadas y la multidisciplinaridad del sistema han hecho algo más complejo el desarrollo del proyecto, pero desde un punto de vista académico aporta aspectos enriquecedores.

En cuanto a la valoración del funcionamiento del convertidor, éste tiene, en opinión de la autora, un comportamiento bastante bueno: el rendimiento es elevado (96.95% máximo) y el convertidor es robusto (no se ha averiado en la caracterización experimental). Además, como hecho poco habitual en el control digital de este tipo de convertidores se ha utilizado en el control en lazo cerrado, un ADC con una frecuencia de muestreo mucho menor que la frecuencia de conmutación (8 veces menor). Esto valida la idea de poder utilizar ADC lentos cuando la dinámica del sistema es poco exigente, sin tener que muestrear a la frecuencia de conmutación como se hace normalmente.

Debido al contexto en el que se ideó este proyecto fin de carrera, como parte de una investigación llevada a cabo entre la Universidad Carlos III de Madrid y la Universidad de Oviedo, sería conveniente fijar como objetivo futuro la comprobación del funcionamiento de los drivers en sistemas compuestos por varios convertidores.

Glosario

ADC	Analog-Digital Converter
A_e	Área efectiva del núcleo de una bobina
A_w	Área de ventana de un núcleo magnético
B	Densidad de flujo magnético de una bobina
Buck	Convertidor reductor
Boost	Convertidor elevador
C	Condensador
CA	Corriente alterna
CC	Corriente continua
D	Ciclo de trabajo
DC	Direct Current
DPWM	Digital Pulse Width Modulator
EMI	Electromagnetic Interferences
ESR	Equivalent Series Resistance
f	Frecuencia
FPGA	Field Programmable Gate Array

Hz	Hercios
I_e	Corriente de entrada
I_0	Corriente de salida
L	Bobina
LSB	Bit menos significativo (Less Significant Bit)
MCC	Modo de Conducción Continua
MCD	Modo de Conducción Discontinua
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MSB	Bit más significativo (Most Significant Bit)
P	Potencia
PCB	Placa de circuito impreso (Printed Circuit Board)
PWM	Pulse Width Modulator
R	Resistencia
SMD	Surface Mount Device
t_d	Tiempo muerto
V_e	Tensión de entrada
VHDL	VHSIC Hardware Description Language
V_0	Tensión de salida

Bibliografía

Referencias bibliográficas

- [1] “07_CC_CC_11-12-PDF”. Electrónica Industrial. 5º curso de Ingeniería Industrial. Universidad Carlos III de Madrid.
- [2] “Leccion_6_Magneticos.PPT”. Sistemas Electrónicos de Alimentación. 5º curso de Ingeniería de Telecomunicación. Universidad de Oviedo.
- [3] S. Martínez, J.A. Gualda. *Electrónica de potencia. Componentes, topologías y equipos*. Thomson editores. UNED, 2006.[4] R. Damaye, C. Gagne. *Fuentes de alimentación electrónicas conmutadas*. Editorial Paraninfo, 1995.
- [5] N. Mohan, T.M. Undeland, W.P. Robbins. *Power electronics. Converters, applications and design*. John Wiley & Sons, Inc., 2003.
- [6] “Digilent Basys Board Reference Manual”. Digilent Inc., 2007.
- [7] “DCH01 Series Data Sheet”. Texas Instruments, 2009.
- [8] “LT1763 Series Data Sheet”. Linear Technology Corporation, 1999.
- [9] “ADP3300 Data Sheet”. Analog Devices Inc., 2001.
- [10] “ISO721, ISO721M, ISO722, ISO722M Data Sheet”. Texas Instruments, 2010.

- [11] “*EL7156 Data Sheet*”. Intersil Americas Inc., 2007.
- [12] “*ADC0801/ADC0802/ADC0803/ADC0804/ADC0805, 8-Bit μ P Compatible A/D Converters Data Sheet*”. National Semiconductor Corporation, 1999.

Páginas web consultadas

Selección de MOSFET:

- [12] <http://www.irf.com> (última vez visitada 29/02/2012)
- [13] <http://www.st.com> (última vez visitada 29/02/2012)
- [14] <http://www.vishay.com> (última vez visitada 29/02/2012)

FPGA:

- [15] <http://www.digilentinc.com> Digilent, fabricante de la FPGA BASYS utilizada (última vez visitada 07/11/2012)

Drivers:

- [16] <http://www.ti.com> Texas Instruments, fabricante del convertidor CC/CC DCH010512SN7 y el aislador digital ISO721 (última vez visitada 16/10/2012)
- [17] <http://www.linear.com> Linear Technology, fabricante del regulador lineal LT1763 (última vez visitada 16/10/2012)
- [18] <http://www.analog.com> Analog Devices, fabricante del regulador lineal ADP3300 (última vez visitada 16/10/2012)
- [19] <http://www.intersil.com> Intersil, fabricante del pin driver EL7156 (última vez visitada 16/10/2012)

Convertidor A/D:

- [20] <http://www.national.com> National Semiconductor, fabricante del convertidor A/D AD0804 (última vez visitada 29/10/2012)